

O presente trabalho compreende o estudo teórico e o desenvolvimento do protótipo DPT para caracterização do interruptor de GaN. Os principais tipos de interruptores de GaN são apresentados. O estado da arte é abordado com foco na exposição dos tipos do interruptor de GaN, buscando-se principalmente um apanhado geral nas referências de origem. O conceitual do circuito DPT e a forma como o circuito é utilizado para os testes do interruptor são mencionados. O layout do protótipo é desenvolvido e os componentes são selecionados na busca de um protótipo funcional. O protótipo é submetido aos testes iniciais e paralelamente é desenvolvido um estudo de possíveis melhorias nessa primeira versão. O estudo das parcelas de efeitos parasitas no layout da malha de potência do circuito DPT do primeiro protótipo é apresentado. Uma segunda versão de protótipo é mencionada, juntamente com as melhorias aplicadas. Uma terceira versão de protótipo utilizando dois interruptores dispostos em conexão Meia Ponte é apresentada, juntamente com comparativos dos efeitos parasitas dos layouts das duas versões anteriores. Detalhes experimentais das operações de comando e potência executadas com níveis de tensão de 200 V e 400 V nos três protótipos são comentados. Testes nas proximidades dos limites do interruptor com níveis de tensão de 600 V e corrente de 50 A são mencionados. Por fim, é relatado o conjunto de várias transições turn-off e turn-on, para os níveis de tensão de 100 V, 200 V, 275 V e 400 V, e para níveis de corrente de 1 a 10 A.

Orientador: Yales Rômulo de Novaes

Joinville, 2020

ANO
2020

FABIANO MENDES RIBEIRO | ESTUDO E CARACTERIZAÇÃO DO
INTERRUPTOR DE GAN HEMT ATRAVÉS DO CIRCUITO DPT



UNIVERSIDADE DO ESTADO DE SANTA CATARINA – UDESC
CENTRO DE CIÊNCIAS TECNOLÓGICAS – CCT
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA - PPGEEL

DISSERTAÇÃO DE MESTRADO

ESTUDO E CARACTERIZAÇÃO DO INTERRUPTOR DE GAN HEMT ATRAVÉS DO CIRCUITO DPT

FABIANO MENDES RIBEIRO

JOINVILLE, 2020

FABIANO MENDES RIBEIRO

**ESTUDO E CARACTERIZAÇÃO DO INTERRUPTOR DE
GAN HEMT ATRAVÉS DO CIRCUITO DPT**

Dissertação apresentada ao Programa de Pós-Graduação em Engenharia Elétrica do Centro de Ciências Tecnológicas da Universidade do Estado de Santa Catarina, como requisito parcial para a obtenção do grau de Mestre em Engenharia Elétrica.

Orientador: Prof. Dr. Yales Rômulo de Novaes

**Joinville
2020**

Ribeiro, Fabiano Mendes

Estudo e caracterização do interruptor de GaN HEMT através do circuito DPT / Fabiano Mendes Ribeiro. – Joinville, 2020.

186 p. : il. ; 30 cm.

Orientador: Yales Rômulo de Novaes

Dissertação (Mestrado) – Universidade do Estado de Santa Catarina, Centro de Ciências Tecnológicas, Programa de Pós-Graduação em Engenharia Elétrica, Joinville, 2020.

1. Interruptor de GaN. 2. DPT. 3. Caracterização de Interruptor. I. Rômulo de Novaes, Yales . II. Universidade do Estado de Santa Catarina, Centro de Ciências Tecnológicas, Programa de Pós-Graduação em Engenharia Elétrica. III. Título

Estudo e Caracterização do Interruptor de Gan através do Circuito DPT

por

Fabiano Mendes Ribeiro

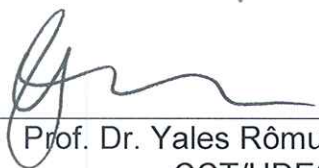
Esta dissertação foi julgada adequada para obtenção do título de

MESTRE EM ENGENHARIA ELÉTRICA

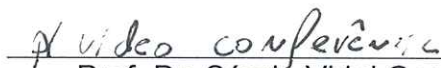
Área de concentração em “Sistemas Eletroeletrônicos”
e aprovada em sua forma final pelo

CURSO DE MESTRADO ACADÊMICO EM ENGENHARIA ELÉTRICA
DO CENTRO DE CIÊNCIAS TECNOLÓGICAS DA
UNIVERSIDADE DO ESTADO DE SANTA CATARINA.

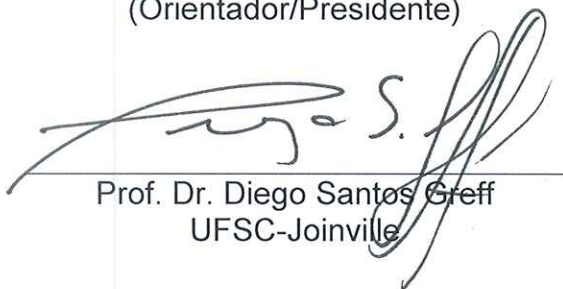
Banca Examinadora:



Prof. Dr. Yales Rômulo de Novaes
CCT/UDESC
(Orientador/Presidente)



Prof. Dr. Sérgio Vidal Garcia
Oliveira
CCT/UDESC



Prof. Dr. Diego Santos Greff
UFSC-Joinville

Joinville, SC, 27 de fevereiro de 2020.

Dedico este trabalho à minha amada Yasmim Regiane Hesper e aos meus amados pais Anilton Mendes Ribeiro e Maria de Lourdes Venêra, apoiaram-me incondicionalmente, apesar de inúmeras dificuldades.

AGRADECIMENTOS

Aos meus amados pais e à minha amada noiva, pela paciência e gigantesca contribuição, apoiando-me nestes últimos anos de forma inimaginável.

Ao professor Yales Rômulo de Novaes, por me orientar e compartilhar o seu conhecimento. Além de grande professor, um ser humano incrível, incansavelmente transformando as minhas dificuldades e limitações em forças para prosseguirmos.

Ao professor Sérgio Vidal Garcia Oliveira, por contribuir ao meu trabalho principalmente nas reuniões de acompanhamento e nos processos de aquisição dos materiais.

Aos engenheiros Douglas e Gustavo, pelas contribuições ao meu trabalho principalmente nas reuniões de acompanhamento e pelos auxílios proporcionados pela parceria entre a UDESC e a empresa EMBRACO.

Aos colegas Rodrigo, Eduardo e Leandro, por muitos compartilhamentos de conhecimentos ao longo do presente trabalho.

Aos demais professores e colegas do Núcleo de Processamento de Energia Elétrica (nPEE) e Programa de Pós-Graduação em Engenharia Elétrica (PPGEEL) da UDESC, pelas contribuições de forma direta ou indiretamente à minha formação, nas disciplinas cursadas e no desenvolvimento deste projeto.

Ao Conselho Nacional de Desenvolvimento Científico e Tecnológico (CNPQ), pelo apoio financeiro.

RESUMO

O presente trabalho compreende o estudo teórico e o desenvolvimento do protótipo DPT para caracterização do interruptor de GaN. Os principais tipos de interruptores de GaN são apresentados. O estado da arte é abordado com foco na exposição dos tipos do interruptor de GaN, buscando-se principalmente um apanhado geral nas referências de origem. O conceitual do circuito DPT e a forma como o circuito é utilizado para os testes do interruptor são mencionados. O *layout* do protótipo é desenvolvido e os componentes são selecionados na busca de um protótipo funcional. O protótipo é submetido aos testes iniciais e paralelamente é desenvolvido um estudo de possíveis melhorias nessa primeira versão. O estudo das parcelas de efeitos parasitas no *layout* da malha de potência do circuito DPT do primeiro protótipo é apresentado. Uma segunda versão de protótipo é mencionada, juntamente com as melhorias aplicadas. Uma terceira versão de protótipo utilizando dois interruptores dispostos em conexão Meia Ponte é apresentada, juntamente com comparativos dos efeitos parasitas dos *layouts* das duas versões anteriores. Detalhes experimentais das operações de comando e potência executadas com níveis de tensão de 200 V e 400 V nos três protótipos são comentados. Testes nas proximidades dos limites do interruptor com níveis de tensão de 600 V e corrente de 50 A são mencionados. Por fim, é relatado o conjunto de várias transições *turn-off* e *turn-on*, para os níveis de tensão de 100 V, 200 V, 275 V e 400 V, e para níveis de corrente de 1 a 10 A.

Palavras-chave: Interruptor de GaN. DPT. Caracterização de interruptor.

ABSTRACT

The present work comprises the theoretical study and the development of the DPT prototype to characterize the GaN switch. The main types of GaN switches are presented. The state of the art is approached with a focus on exposing the types of the GaN switch, seeking mainly a general overview of the references of origin. The conceptual of the DPT circuit and the way the circuit is used for switch tests are mentioned. The prototype layout is developed and the components are selected aiming a functional prototype. The prototype is subjected to initial tests and a study of possible improvements in this first version is developed in parallel. The study of the parasitic effects due to layout of the power loop of the DPT circuit of the first prototype is presented. A second prototype version is mentioned, along with the improvements applied. A third prototype version using two switches arranged in half a bridge connection is exposed, along with comparisons of the parasitic effects of the layouts of the two previous versions. Experimental details of the command and power operations performed with voltage levels of 200 V and 400 V over the three prototypes are commented. Tests in the vicinity of the switch limits with voltage levels of 600 V and current of 50 A are mentioned. Finally, the set of several turn-off and turn-on transitions is reported, for voltage levels of 100 V, 200 V, 275 V and 400 V, and for current levels from 1 to 10 A.

Keywords: GaN Switch. DPT. Switch characterization.

LISTA DE ILUSTRAÇÕES

Figura 1 – Relações com o presente trabalho: (a) motivação; (b) escopo.....	30
Figura 2 – Modelos (2018) pesquisados/comercializados de dispositivos de GaN de intensificação. Eixos: corrente $I_{d(max)}$ e tensão de bloqueio $V_{ds(max)}$ (sob condições específicas).	29
Figura 3 – Limite teórico da resistência de condução em função da tensão de bloqueio empregando os materiais Si e GaN.....	31
Figura 4 – Estrutura AlGaIn/GaN: (a) formação da região de 2DEG; (b) bandas de condução dos tipos depleção e intensificação.....	32
Figura 5 – Depleção: (a) estrutura; (b) gráfico de $I_d \times V_{ds}$ obtido da estrutura para os valores de tensão V_g	34
Figura 6 – GaN HEMT: (a) estrutura AlGaIn/GaN para obtenção de intensificação; (b) gráfico de $I_d \times V_{ds}$ obtido da estrutura de intensificação para os valores de tensão V_g	36
Figura 7 – Estrutura <i>recessed-gate</i> com uma camada de AlGaIn com menor espessura sob o <i>gate</i>	37
Figura 8 – Pontos experimentais e a curva de aproximação da tensão V_{th} em função da espessura do material AlGaIn.	39
Figura 9 – Estrutura <i>recessed-gate</i> : (a) curva da densidade da região 2DEG em função da espessura da camada de AlGaIn; (b) pontos experimentais e as curvas das resistências específicas em função da tensão V_{th}	41
Figura 10 – Característica estática: (a) curvas da corrente I_d em função da tensão V_{ds} para vários valores da tensão V_{gs} ; (b) curva da corrente I_d em função da tensão V_{gs} para a estrutura em bloqueio.	43
Figura 11 – Curvas da resistência específica das estruturas em função da tensão de bloqueio e ponto experimental <i>gate</i> Schottky.	44
Figura 12 – Modelo TCAD <i>recessed-gate</i> : (a) visão da estrutura; (b) visão ampliada da estrutura.....	46
Figura 13 – Comparativo <i>recessed-gate</i> : (a) curvas experimental (contínua) e simulada (tracejada) da corrente I_d em função da tensão V_{gs} ; (b) curvas	

experimentais (contínuas) e simuladas (tracejadas) da corrente I_d em função da tensão V_{ds} para tensões V_{gs}	47
Figura 14 – Estrutura <i>recessed-gate</i> : (a) curvas experimental (contínua) e simulada (tracejada) das capacitâncias da estrutura; (b) visão da distribuição do potencial eletrostático na estrutura.	48
Figura 15 – Com base no tratamento de plasma: (a) concentração de fluoreto (b) curvas da corrente I_d em função da tensão V_{gs} para ambas as situações.	49
Figura 16 – Curvas da corrente I_d em função da tensão V_{ds} para várias tensões V_{gs} .	50
Figura 17 – Estrutura do transistor de injeção de <i>gate</i> (GIT).	51
Figura 18 – Estrutura GIT sob condições de operação.	52
Figura 19 – Diagrama de bandas da estrutura GIT: (a) para tensão de <i>gate</i> de 0 V; (b) em função da dopagem do material pGaN.	53
Figura 20 – Ação de acionamento na estrutura GIT: (a) diagrama de bandas em função da aplicação da tensão V_{gs} ; (b) curva interligando os pontos avaliados da tensão V_{th} em função da dopagem do material pGaN.	54
Figura 21 – Gráfico das corrente I_d e I_g em função da tensão V_{gs} da estrutura GIT: (a) com eixo das correntes linear; (b) com eixo das correntes logarítmico.	56
Figura 22 – Trechos de operação: (a) curva $\Delta I_d / \Delta I_g$ em função da tensão V_{gs} ; (b) curvas da transcondutância com e sem 2º pico em função da tensão V_{gs} .	57
Figura 23 – Pontos avaliados da tensão V_{th} em função da temperatura.	57
Figura 24 – Curvas da corrente I_d em função da tensão V_{ds} para várias tensões V_{gs} : (a) estado de condução; (b) estado de bloqueio.	59
Figura 25 – Estágio <i>gate driver</i> : (a) circuito; (b) formas de onda.	61
Figura 26 – Transição: (a) curvas durante a entrada em condução do interruptor: tensão V_{ds} , corrente I_d e tensão V_{gs} ; (b) forma idealizada da tensão do <i>gate driver</i> de dois níveis.	63
Figura 27 – Formas de onda: (a) <i>turn-on</i> ; (b) <i>turn-off</i>	64
Figura 28 – Acionamento do dispositivo: (a) tensões nos terminais do dispositivo: V_{gs} ; V_{gd} ; V_{ds} ; (b) início da condução: (i) na forma direta quando V_{gs} atinge $V_{gs(th)}$; (ii) na forma reversa quando V_{gd} atinge $V_{gd(th)}$	65

Figura 29 – Condução reversa V_{sd} com aplicação de: (a) 0 V de tensão V_{gs} ; (b) vários níveis de tensão V_{gs}	66
Figura 30 – Comparativo de condução reversa : (a) circuito: (i) sem diodo, maior tensão reversa; (ii) com diodo, menor tensão reversa; (b) curvas de condução reversa do GaN HEMT e condução direta do diodo de barreira Schottky de silício.	67
Figura 31 – Corrente de recuperação reversa do GaN HEMT e do diodo de recuperação rápida de Si.....	68
Figura 32 – Dispositivo bidirecional: (a) estrutura; (b) analogia da estrutura interna com aplicação das tensões de <i>gate</i>	69
Figura 33 – Característica estática da estrutura bidirecional: (a) em condução com tensões V_{g1} e V_{g2} idênticas aplicadas aos pontos de <i>gate</i> G1 e G2; (b) bloqueio de tensão.	70
Figura 34 – Resistência $R_{ds(on)}$ em função da temperatura de junção para dois dispositivos GaN HEMT.....	71
Figura 35 – Colapso de corrente: (a) curvas experimentais da corrente I_d em função da tensão V_{ds} para as tensões V_{gs} . Curvas com aplicação da tensão V_{ds} de 0 e 60 V antes de habilitar a condução; (b) resistência dinâmica.	72
Figura 36 – Colapso de corrente: (a) representação da variação da resistência dinâmica em função da variação de $V_{ds(off)}$ em bloqueio; (b) variação da resistência dinâmica (medido 2 μ s após o início da condução) em função da variação do valor de $V_{ds(off)}$ em bloqueio e do tempo de bloqueio.....	73
Figura 37 – Efeito $R_{ds(on)}$: (a) valores estático e dinâmico; (b) variação da resistência dinâmica (medido 2 μ s após o início da condução) em função da temperatura e da tensão de bloqueio $V_{ds(off)}$	74
Figura 38 – Tensão de condução $V_{ds(on)}$: (a) circuito para avaliação; (b) resultado em função do tempo de condução e para várias temperatura.....	75
Figura 39 – Tensão V_{ds} durante a condução: (a) relação de tensão V_{ds} inicial e final (instantes de tempo: 10^{-4} s e 10^2 s) em função da temperatura; (b) Tensão $V_{ds(on)}$ em função do tempo de recuperação para várias tensões V_{gs}	76

Figura 40 – HD-GIT: (a) estrutura; (b) campo elétrico nas estruturas GIT e HD-GIT. .	77
Figura 41 – Curvas: (a) resistência de condução em função da tensão de bloqueio nas estruturas HD-GIT e GIT (medido 0,7 μ s após o início da condução); (b) resistência de condução (medido 1 μ s após o início da condução) em função do tempo para GIT (1) e HD-GIT (2); (c) característica estática da condução; (d) e bloqueio HD-GIT.	78
Figura 42 – Circuito DPT.	80
Figura 43 – Circuito DPT: (a) intervalo de 0 a t_0 ; (b) intervalo t_0 a t_1 ; (c) intervalo t_1 a t_2 ; (d) formas de onda da operação <i>hard switching</i>	82
Figura 44 – Circuito auxiliar para medição da tensão <i>drain-source</i> do dispositivo em teste durante a condução com ponteiros de baixa tensão no ponto M.	83
Figura 45 – Circuito auxiliar para medição de tensão V_{ds} : (a) interruptor bloqueado; (b) interruptor conduzindo.	84
Figura 46 – Circuito DPT ao teste.	85
Figura 47 – Forma de onda da tensão: (a) da fonte CA variável; (b) nos capacitores do circuito DPT.	85
Figura 48 – Forma de onda da corrente e da tensão no interruptor do circuito DPT com indicação dos instantes das transições de estados.	86
Figura 49 – Valores alterados no teste do circuito DPT: (a) corrente de <i>drain</i> ; (b) tensão no estado de bloqueio; (c) tempo no estado de bloqueio.	87
Figura 50 – Circuito de simulação de componentes idealizados e modelos SPICE.	88
Figura 51 – Formas de onda da corrente i_d e da tensão v_{ds} obtidas na simulação com: (a) Q1 e D1 ideais; (b) Q1 ideal e D1 modelo SPICE; (c) Q1 modelo SPICE e D1 ideal; (d) Q1 e D1 modelos SPICE.	89
Figura 52 – Detalhe da transição <i>turn-on</i> obtido nas simulações com Q1 ideal e D1 ideal (vermelho), Q1 ideal e D1 Modelo SPICE (verde), Q1 modelo SPICE e D1 ideal (azul) e Q1 modelo SPICE e D1 modelo SPICE (amarelo), formas de onda da: (a) corrente i_d ; (b) tensão v_{ds}	92
Figura 53 – Detalhe da transição <i>turn-off</i> obtido na simulações com Q1 ideal e D1 ideal (vermelho), Q1 ideal e D1 Modelo SPICE (verde), Q1 modelo SPICE e D1 ideal (azul) e Q1 modelo SPICE e D1 modelo SPICE (amarelo), formas de onda da: (a) corrente i_d ; (b) tensão v_{ds}	94
Figura 54 – Dispositivo IGOT60R070 da Infineon. (a) simbologia (b) encapsulamento.	95

Figura 55 – Gráfico de área de operação segura do dispositivo. Corrente I_d para vários tempos de pulsos e toda faixa de tensão V_{ds} . Temperatura 25 °C...	97
Figura 56 – Detalhes do <i>gate</i> : (a) forma de onda da corrente de <i>gate</i> incluindo três principais regiões: pulso positivo do início da condução; valor estático durante a condução; pulso negativo do término da condução. (b) corrente I_g do dispositivo em função da tensão V_{gs} . Para diferentes valores de temperatura.	98
Figura 57 – Corrente I_d do dispositivo em função da tensão V_{ds} . Para diferentes valores de corrente de <i>gate</i> na temperatura de: (a) 25 °C e (b) 125 °C....	100
Figura 58 – Resistência $R_{ds(on)}$, em função: (a) da corrente I_d para diferentes correntes I_g . (b) temperatura T_j para valores constantes de tensão V_{gs} de 3 V e corrente I_d de 8 A.	101
Figura 59 – Características do dispositivo: (a) capacitâncias: C_{iss} , C_{oss} e C_{rss} . (b) delimitações dos principais tempos envolvidos nas transições <i>turn-on</i> e <i>turn-off</i> do dispositivo. Para o <i>turn-on</i> são $t_{d(on)}$ e t_r . Para <i>turn-off</i> são $t_{d(off)}$ e t_f	103
Figura 60 – Tensão V_{gs} em função da carga de <i>gate</i> com tensão V_{ds} de 400 V e corrente I_d de 8 A.....	104
Figura 61 – Corrente I_d em função da tensão V_{ds} . Para diferentes valores de tensão V_{gs} . Temperatura: (a) 25 °C e (b) 125 °C.....	106
Figura 62 – Dispositivo 1EDI20N12AF da Infineon: (a) simbologia; (b) encapsulamento PG-DSO-8-51.	107
Figura 63 – Circuito de disparo: (a) <i>gate driver</i> conectado ao interruptor. Adicionalmente os principais componentes passivos; (b) dois <i>gate drivers</i> e dois interruptores conectados à operação como Meia Ponte. Adicionalmente os principais componentes passivos para os dois <i>gate drivers</i>	110
Figura 64 – Núcleo do tipo de “Pó de Ferro 02” (item 14) da Magmattec.....	111
Figura 65 – Detalhes do indutor: (a) núcleo do tipo de Pó de Ferro 02 da Magmattec; (b) simulação; (c) dispositivo construído de 1 mH.	112
Figura 66 – Parcela indutiva do indutor projetado para 1 mH.....	113

Figura 67 – Detalhe da parcela indutiva do indutor projetado para 1 mH.....	113
Figura 68 – Parcela resistiva do indutor projetado para 1 mH.....	113
Figura 69 – Detalhe na parcela resistiva do indutor: (a) de 40 Hz a 100 kHz; (b) de 40 Hz a 1 MHz.	114
Figura 70 – Capacitor de cerâmica (C10: C 7,8 x L 7,1 x A 4,5 mm), capacitor de filme de polipropileno (C5 a C9: C 32 x L 18 x A 28 mm) e capacitor eletrolítico de alumínio (C1 a C4: D 35 x A 45 mm).	115
Figura 71 – Capacitor de cerâmica avaliado em função da frequência no equipamento analisador de impedância: (a) impedância; (b) detalhe na parcela capacitiva.....	116
Figura 72 – Parcela de capacitância do capacitor avaliado em função da frequência no equipamento analisador de impedância: (a) capacitor de filme de polipropileno; (b) capacitor eletrolítico de alumínio.....	116
Figura 73 – Resistor Shunt.	117
Figura 74 – Resistor shunt avaliado em função da frequência no equipamento analisador de impedância: (a) impedância; (b) detalhe na parcela indutiva; (c) detalhe na parcela resistiva.	118
Figura 75 – Principais componentes empregados no DPT1.....	119
Figura 76 – Circuito completo da placa de DPT 1.	121
Figura 77 – DPT 1: (a) <i>layout</i> vista superior; (b) <i>layout</i> vista inferior; (c) placa confeccionada vista superior; (d) placa confeccionada vista inferior.	123
Figura 78 – Principais parcelas de componentes parasitas na malha Capacitor-GaN-Diodo.	125
Figura 79 – Principais parcelas de componentes parasitas na malha Capacitor-Rshunt-GaN-Diodo.	125
Figura 80 – Protótipo DPT 1.	127
Figura 81 – Principais componentes empregados no DPT 2.....	129
Figura 82 – Circuito completo do DPT 2.....	130
Figura 83 – DPT 2: (a) <i>layout</i> vista superior; (b) <i>layout</i> vista inferior; (c) placa confeccionada vista superior; (d) placa confeccionada vista inferior.	131
Figura 84 – Principais parcelas de componentes parasitas na malha Capacitor-GaN-Diodo.	132

Figura 85 – Principais parcelas de componentes parasitas na malha Capacitor-GaN-Diodo.	132
Figura 86 – Protótipo DPT 2.	134
Figura 87 – Principais componentes empregados no DPT Meia Ponte.....	135
Figura 88 – Circuito completo do DPT Meia Ponte.....	137
Figura 89 – DPT Meia Ponte: (a) <i>layout</i> vista superior; (b) <i>layout</i> vista inferior; (c) placa confeccionada vista superior; (d) placa confeccionada vista inferior.	139
Figura 90 – Principais parcelas de componentes parasitas na malha Capacitor-GaN-Diodo.	140
Figura 91 – Principais parcelas de componentes parasitas na malha Capacitor-GaN-GaN.	140
Figura 92 – Protótipo do DPT Meia Ponte.	142
Figura 93 – Avaliação experimental de quatro ponteiras P6139B com pequeno nível de tensão.	143
Figura 94 – Avaliação experimental comparativa de uma ponteira P6139B e uma P5120. Sinais de subida e descida: (a) sem o ajuste; (b) com o ajuste de tempo de atraso de 7,8 ns.	144
Figura 95 – Tensão de comando de <i>gate</i> do DPT: (a) entrada do driver. Escala: 4 μ s/div; (b) saída do <i>driver</i> no <i>turn-off</i> ; (c) saída do driver no <i>turn-on</i>	145
Figura 96 – Tensão V_{gks} Id=10 A e Vds=200 V. Visões: I) visão geral; II) detalhe <i>turn-off</i> . III) detalhe <i>turn-on</i> . (a) DPT 1 1500 nF Id=0 A e Vds=0 V; (b) DPT 1 1500 nF; (c) DPT 2 1500 pF; (d) DPT 2 680 pF.....	147
Figura 97 – Visão geral da operação 20 A e 200 V no DPT1: Tensão Vgs (CH1: 5 V/div, Azul), Tensão Vds (CH3: 60 V/div, Rosa) e corrente IS (CH4: 10 A/div, Verde). Escala: 4 μ s/div.	148
Figura 98 – Visão geral da tensão Vds: (a) DPT1; (b) DPT2; (c) DPT2 C=680 pF....	149
Figura 99 – <i>Turn-off</i> . Tensão Vds: (a) DPT1; (b) DPT2; (c) DPT2 C=680 pF; (d) DPT Meia Ponte.....	150
Figura 100 – Detalhe <i>turn-off</i> . Tensão Vds: (a) DPT1; (b) DPT2; (c) DPT2 C=680 pF; (d) DPT Meia Ponte.	152
Figura 101 – Subida de 10 a 90 % no <i>turn-off</i> da tensão Vds: (a) DPT1; (b) DPT2; (c) DPT2 C=680 pF; (d) DPT Meia Ponte.	153

Figura 102 – <i>Turn-on</i> da tensão Vds: (a) DPT1; (b) DPT2; (c) DPT2 C=680 pF; (d) DPT Meia Ponte.	154
Figura 103 – Detalhe <i>turn-on</i> da tensão Vds: (a) DPT1; (b) DPT2; (c) DPT2 C=680 pF; (d) DPT Meia Ponte.	155
Figura 104 – Descida de 90 a 10 % no <i>turn-on</i> da tensão Vds (CH3: 50 V/div, Rosa) com (i) IL=10 A e (ii) IL=20 A: (a) DPT1; (b) DPT2; (c) DPT2 C=680 pF; (d) DPT Meia Ponte 10 A. Escala: 2 ns/div.	156
Figura 105 – Visão geral da tensão Vds: (a) DPT 1; (b) DPT 2; (c) DPT 2 com C=680 pF.	157
Figura 106 – <i>Turn-off</i> da tensão Vds: (a) DPT 1; (b) DPT 2; (c) DPT2 C=680 pF; (d) DPT Meia Ponte.	158
Figura 107 – <i>Turn-on</i> da tensão Vds: (a) DPT1; (b) DPT2; (c) DPT2 C=680 pF; (d) DPT Meia Ponte.	159
Figura 108 – <i>Turn-off</i> . Tensão Vds no DPT Meia Ponte para Id=10 A e Vds=100 V. Interruptor: i) DUT (inferior); ii) complementar (superior). Visões: (a) geral; (b) detalhe.....	161
Figura 109 – <i>Turn-on</i> . Tensão Vds no DPT Meia Ponte para Id=10 A e Vds=100 V. Interruptor: i) DUT (inferior); ii) complementar (superior). Visões: (a) geral; (b) detalhe.....	162
Figura 110 – Bloqueio de 600 V. Sinais: tensão Vgs (CH1); tensão Vds (CH3); corrente Id (CH4). Escala: 4 µs/div.	163
Figura 111 – Tensão Vgs (CH1: 5 V/div, Azul), tensão Vds 275 V (CH3: 100 V/div, Rosa) e corrente Id 50 A (CH4: 15 A/div, Verde): (a) Visão geral. 100 µs/div; (b) <i>turn-on</i> ; (c) <i>turn-off</i> . 20 ns/div.....	163
Figura 112 – Tensão Vds 400 V (CH3: 100 V/div, Rosa) e corrente Id 20 A (CH4: 12 A/div, Verde): (a) <i>turn-on</i> ; (b) <i>turn-off</i> . Escala de tempo: 20 ns/div.....	164
Figura 113 – Transição da tensão Vds no <i>turn-off</i> de 10 a 90 % para vários níveis de corrente, sendo (i) forma de onda da tensão de 275 V durante a transição e (ii) tempo da transição das tensões de 100, 200 e 275 V: (a) DPT 1; (b) DPT 2; (c) DPT 2 com C=680 pF.....	166
Figura 114 – Transição da corrente Id no <i>turn-off</i> de 90 a 10 % para vários níveis de corrente: (a) forma de onda da corrente para 275 V durante a transição; (b) tempo da transição para as tensões Vds de 100, 200 e 275 V.	167

Figura 115 – Transição da tensão V_{ds} no <i>turn-on</i> de 90 a 10 % para vários níveis de corrente, sendo (i) forma de onda da tensão de 275 V durante a transição e (ii) tempo da transição das tensões de 100, 200 e 275 V: (a) DPT 1; (b) DPT 2; (c) DPT 2 com $C=680$ pF.....	168
Figura 116 – Transição da corrente I_d no <i>turn-on</i> de 10 a 90 % para vários níveis de corrente: (a) forma de onda da corrente para 275 V durante a transição; (b) tempo da transição para as tensões V_{ds} de 100, 200 e 275 V.	169
Figura 117 – Valores de derivadas nas transições da tensão V_{ds} para vários níveis de corrente, sendo (i) <i>turn-on</i> e (ii) <i>turn-off</i> : (a) DPT 1; (b) DPT 2; (c) DPT 2 com $C=680$ pF.	170
Figura 118 – Transição de 10 % da tensão V_{ds} a 10 % da corrente I_d no <i>turn-off</i> para vários níveis de corrente: (a) forma de onda da potência instantânea para a tensão V_{ds} de 275 V durante a transição; (b) tempo da transição de 10% de V_{ds} a 10% de I_s nas tensões de 100, 200 e 275 V.	171
Figura 119 – Transição de 10 % da corrente I_s a 10 % da tensão V_{ds} no <i>turn-on</i> para vários níveis de corrente: (a) forma de onda da potência instantânea para a tensão V_{ds} de 275 V durante a transição; (b) tempo da transição de 10% de I_s a 10% de V_{ds} nas tensões de 100, 200 e 275 V.	172
Figura 120 – Energia durante as transições <i>turn-on</i> e <i>turn-off</i> para vários níveis de corrente e tensões de 100, 200 e 275 V. Para o intervalo de transição de 10 % do sinal de subida a 10 % do sinal de descida.	173

LISTA DE TABELAS

Tabela 1 – Propriedades dos materiais Si e GaN.....	30
Tabela 2 – Comparativo sem e com redução da espessura de AlGaIn sob o <i>gate</i>	40
Tabela 3 – Valores máximos de tensão V_{ds} e corrente I_d do dispositivo.	60
Tabela 4 – Combinações de simulações realizadas do circuito.	88
Tabela 5 Valores máximos de tensão V_{ds} e corrente I_d do dispositivo.	96
Tabela 6 – Valores máximos de corrente I_g do dispositivo.....	97
Tabela 7 – Tensão de <i>threshold</i> V_{th} do dispositivo.....	99
Tabela 8 – Resistências de condução $R_{ds(on)}$ e interna de <i>gate</i>	100
Tabela 9 – Capacitâncias do dispositivo.....	102
Tabela 10 – Principais tempos envolvidos nas transições do dispositivo.	103
Tabela 11 – Carga do <i>gate</i> do dispositivo.	104
Tabela 12 – Características de condução reversa do dispositivo.....	105
Tabela 13 – Características de recuperação reversa do dispositivo.	106
Tabela 14 – Terminais do dispositivo <i>gate driver</i> 1EDI20N12AF.	108
Tabela 15 – Valores mínimos e máximos do <i>gate driver</i>	109
Tabela 16 – Valores mínimo e típico de corrente de saída OUT+ e OUT-.	109
Tabela 17 – Propriedade do material.	111
Tabela 18 – Lista de capacitores.....	114
Tabela 19 – Lista dos principais componentes da malha de potência no DPT 1.....	122
Tabela 20 – Valores de resistência e indutância obtidos entre pontos de conexão. .	126
Tabela 21 – Lista dos principais componentes da malha de potência no DPT 2.....	130
Tabela 22 – Resistência e indutância entre pontos de conexão do DPT 2.....	133
Tabela 23 – Principais componentes da malha de potência no DPT Meia Ponte.	138
Tabela 24 – Resistência e indutância entre pontos de conexão dos DPTs.	141
Tabela 25 – Principais equipamentos empregados no presente trabalho.	142
Tabela 26 – Resumo de valores obtidos nos testes experimentais.....	174
Tabela 27 - Lista completa de componentes DPT 1.....	183
Tabela 28 - Lista completa de componentes DPT 2.....	185
Tabela 29 - Lista completa de componentes DPT Meia Ponte.....	186

LISTA DE ABREVIATURAS

AlGa _N	Nitreto de gálio-alumínio
CA	Corrente alternada
CB	<i>Conduction band</i>
CC	Corrente contínua
CI	<i>Circuito integrado</i>
CVR	<i>Current viewing resistor</i>
DPT	<i>Double pulse test</i>
DPT Meia Ponte	<i>Double pulse test</i> versão Meia Ponte
DPT 1	<i>Double pulse test</i> versão 1
DPT 2	<i>Double pulse test</i> versão 2
DUT	Dispositivo sob teste
GaN	Nitreto de gálio
GaN HEMT	Transistor de nitreto de gálio de alta mobilidade de elétrons
GIT	<i>Gate injection transistor</i>
HEMT	<i>High electron mobility transistor</i>
MOSFET	<i>Metal-oxide-semiconductor field effect transistor</i>
Si	Silício
SPICE	<i>Simulation Program with Integrated Circuits Emphasis</i>
TCM	<i>Triangular current mode</i>
TEM	<i>Transmission electron microscope</i>
ZVS	<i>Zero voltage switching</i>
2DEG	<i>Two-dimensional electron gas</i>

LISTA DE SÍMBOLOS

C_{AlGaN}	Capacitância AlGaN	F
C_{gMIS}	Capacitância resultante com isolador de <i>gate</i>	F
C_{iss}	Capacitância de entrada do interruptor	F
C_{MIS}	Capacitância do isolador de <i>gate</i>	F
C_{oss}	Capacitância de saída do interruptor	F
C_{rss}	Capacitância de transferência reversa	F
C_s	Capacitância de <i>gate</i>	F
dv_{ds}/dt	Variação da tensão <i>drain-source</i> em função do tempo	V/s
E_{crit}	Campo elétrico crítico	V/m
E_D	Nível energia da superfície do AlGaN	eV
E_g	Nível de energia entre as banda de energia	eV
I_d	Corrente de <i>drain</i>	A
$I_{d(max)}$	Valor máximo de corrente de <i>drain</i>	A
I_g	Corrente de <i>gate</i>	A
I_{rrm}	Corrente de recuperação reversa (pico)	A
I_s	Corrente de <i>source</i>	A
N_{2D}	Densidade da região 2DEG	cm^{-2}
N_{2DR}	Densidade da região 2DEG reduzida	cm^{-2}
Q_g	Carga de <i>gate</i>	C
Q_{rr}	Carga de recuperação reversa	C
$R_{ds(on)}$	Resistência <i>drain-source</i> durante a condução	Ω
R_{on}	Resistência do resistor de <i>gate</i> on	Ω
R_{on_lim}	Resistência do resistor de <i>gate</i> para limite estático	Ω

R_{off}	Resistência do resistor de <i>gate off</i>	Ω
T_c	Temperatura de cápsula	$^{\circ}\text{C}$
t_{CR}	Espessura de referência	m
$t_{d(off)}$	Tempo de atraso <i>off</i>	S
$t_{d(on)}$	Tempo de atraso <i>on</i>	S
t_f	Tempo de subida	S
T_j	Temperatura de junção	$^{\circ}\text{C}$
t_{MIS}	Espessura do isolador de <i>gate</i>	m
T_{on}	Tempo de imposição da tensão de saída do <i>gate</i> driver on	S
T_{off}	Tempo de imposição da tensão de saída do <i>gate</i> driver off	s
t_r	Tempo de descida	s
t_{RA}	Espessura do material AlGa _N sob o <i>gate</i>	m
t_{rr}	Tempo de recuperação reversa	S
V_{bloq}	Tensão de bloqueio	V
V_{ds}	Tensão <i>drain-source</i>	V
$V_{ds(off)}$	Tensão <i>drain-source</i> durante o estado off	V
$V_{ds(on)}$	Tensão <i>drain-source</i> durante o estado on	V
$V_{ds(max)}$	Tensão máxima <i>drain-source</i>	V
V_F	Tensão da transição de atuação do GIT	V
V_g	Tensão de <i>gate</i>	V
V_{gd}	Tensão <i>gate-drain</i>	V
$V_{gd(th)}$	Tensão de <i>threshold gate-drain</i>	V
V_{g1}	Tensão de <i>gate</i> 1	V
V_{g2}	Tensão de <i>gate</i> 2	V

$V_{g,nom}$	Tensão nominal de saída do <i>gate</i> driver	V
V_{on}	Tensão de saída do <i>gate</i> driver on	V
V_{off}	Tensão de saída do <i>gate</i> driver off	V
V_{sd}	Tensão <i>source-drain</i>	V
V_{sg}	Tensão <i>source-gate</i>	V
V_{th}	Tensão de <i>threshold</i>	V
$V_{th,AlGaN}$	Tensão de <i>threshold</i> sem isolador de <i>gate</i>	V
$V_{th,MIS}$	Tensão de <i>threshold</i> com isolador de <i>gate</i>	V
ΔE_C	Banda de condução na interface AlGa _N /Ga _N	eV
ϵ_0	Permissividade elétrica no vácuo	F/m
ϵ_R	Permissividade elétrica relativa do material	F/m
ϵ_{AlGaN}	Permissividade elétrica no vácuo do AlGa _N	F/m
ϵ_{MIS}	Permissividade elétrica no vácuo do isolador de <i>gate</i>	F/m

SUMÁRIO

1	INTRODUÇÃO	29
1.1	JUSTIFICATIVA.....	30
1.2	METODOLOGIA.....	31
1.3	OBJETIVOS.....	31
1.3.1	Objetivo geral.....	31
1.3.2	Objetivos específicos.....	31
1.4	ESTRUTURA DO TRABALHO	32
2	GAN HEMT.....	29
2.1	PROPRIEDADES BÁSICAS DO GAN HEMT.....	30
2.2	ESTRUTURA ALGAN/GAN E REGIÃO 2DEG	32
2.3	ESTRUTURA DE DEPLEÇÃO	33
3	GAN HEMT DE INTENSIFICAÇÃO	35
3.1	RECESSED-GATE	36
3.1.1	Estrutura Recessed-Gate	37
3.1.2	A região de 2DEG, a tensão de <i>threshold</i> e a resistência $R_{ds(on)}$	38
3.1.3	Característica estática.....	42
3.1.4	Modelo TCAD	44
3.2	ESTRUTURA COM BASE NO TRATAMENTO DE PLASMA.....	48
3.2.1	Tensão de <i>threshold</i>.....	49
3.2.2	Característica estática.....	49
3.3	TRANSISTOR DE INJEÇÃO DE <i>GATE</i>	50
3.3.1	Estrutura GIT	50
3.3.2	A região de 2DEG e a tensão de <i>threshold</i>.....	51
3.3.3	Característica estática.....	58
3.3.4	Estágio gate driver	59
3.3.5	Transições turn-on e turn-off.....	61

3.3.6	Condução reversa	64
3.3.7	Condução reversa do GaN HEMT com diodo de Si	66
3.3.8	Recuperação reversa	68
3.3.9	Estrutura bidirecional.....	68
3.3.10	Resistência em condução $R_{ds(on)}$	70
3.3.11	Colapso de corrente	71
3.3.12	HD-GIT	76
3.3.13	Ciclo térmico	79
4	DOUBLE PULSE TEST	80
4.1	CIRCUITO DPT	80
4.2	OPERAÇÃO HARD SWITCHING	81
4.3	CIRCUITO AUXILIAR (CLAMPING)	83
4.4	TESTES SELECIONADOS.....	84
4.5	SIMULAÇÕES COM COMPONENTES IDEALIZADOS E MODELOS SPICE.....	87
5	PROJETO DPT	95
5.1	PRINCIPAIS COMPONENTES	95
5.1.1	GaN	95
5.1.2	Gate driver.....	107
5.1.3	Indutor	110
5.1.4	Capacitores	114
5.1.5	Resistor para sensoramento da corrente.....	117
5.2	DPT VERSÃO 1.....	118
5.3	DPT VERSÃO 2.....	127
5.4	DPT MEIA PONTE	134
5.5	EQUIPAMENTOS PRINCIPAIS.....	142
5.6	AVALIAÇÃO EXPERIMENTAL DAS PONTEIRAS.....	143
6	RESULTADOS DPT.....	145

6.1	COMPORTAMENTO DO CIRCUITO DE COMANDO DE <i>GATE</i>	145
6.2	COMPORTAMENTO DO CIRCUITO DE POTÊNCIA 200 V	148
6.3	COMPORTAMENTO DO CIRCUITO DE POTÊNCIA 400 V	157
6.4	DETALHES ADICIONAIS DO DPT MEIA PONTE.....	160
6.5	TESTES NAS PROXIMIDADES DOS LIMITES DO INTERRUPTOR	162
6.6	TRANSIÇÕES <i>TURN-OFF</i> E <i>TURN-ON</i>	164
7	CONCLUSÃO.....	175
7.1	SUGESTÕES PARA TRABALHOS FUTUROS.....	177
8	GLOSSÁRIO	179

1 INTRODUÇÃO

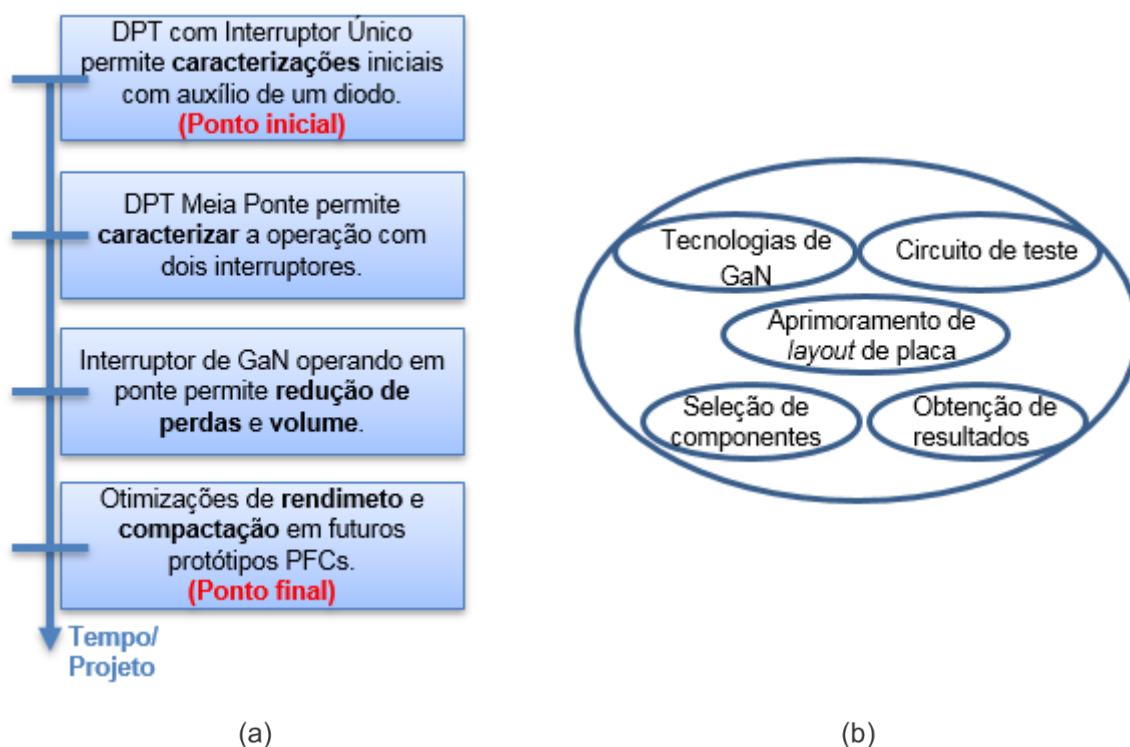
A evolução dos interruptores impacta muito na evolução da tecnologia do mundo e é impossível não citar a grande evolução tecnológica das últimas décadas proporcionada principalmente pelos avanços na utilização do material silício. Nos últimos anos têm surgido avanços importantes com a utilização de interruptores de *gallium nitride* ou nitreto de gálio (**GaN**), mesmo em seus avanços iniciais já têm sido vistas características melhores do que em outras tecnologias muito difundidas, como o silício (Si). E superando outras mais recentes, como o carbeto de silício (SiC). O conhecimento aprofundado da tecnologia de **GaN** obtidos a partir de estudos teóricos e experimentais impulsionam a tecnologia, tornando-a cada vez mais presente, seja em escala regional ou global.

O *gallium nitride high electron mobility transistor* ou transistor de nitreto de gálio de alta mobilidade de elétrons (**GaN HEMT**) tem sido amplamente estudado e vários dispositivos têm sido criados para estudo e comercialização. Esses interruptores têm sido apresentados com características de condução e comutação melhores do que em outras tecnologias, o que significa redução de perdas de energia na condução e comutação. Quando comparado com o Si, a diferença no limite teórico da resistência de condução é maior que 1000 vezes. E as comutações mais rápidas também permitem a utilização de maiores valores de frequência em protótipos, o que possibilita outras otimizações, como a redução de volume em outros componentes do protótipo. Com isso, melhores níveis de rendimento podem ser atingidos, citam-se os exemplos de conversores *Totem-pole Bridgeless* PFC (DUSMEZ, 2017) ou inversor trifásico (MORITA, 2011), ambos apresentados com rendimento acima dos 99%.

A principal motivação do presente trabalho está diretamente relacionada com a busca de otimizações de rendimento e compactação em futuros protótipos PFC. Uma linha de motivação às futuras pesquisas está apresentada na Figura 1 (a). Com base nisso, o presente trabalho busca compreender as melhores práticas de aplicação da tecnologia e permitir iniciais caracterizações do interruptor por meio do circuito de teste empregando a técnica *double pulse test* ou teste de pulso duplo (DPT). O escopo do presente trabalho está apresentado na Figura 1 (b). Alguns pontos a serem

destacados que podem ser vistos no presente trabalho são: a abordagem da tecnologia, o desenvolvimento do circuito DPT por meio de simulações, aprimoramentos de *layout* de placa e a seleção de componentes, e por último a obtenção de resultados.

Figura 1 – Relações com o presente trabalho: (a) motivação; (b) escopo.



Fonte: Produção do autor.

Na sequência está apresentada a justificativa do presente trabalho.

1.1 JUSTIFICATIVA

Os interruptores de **GaN** têm sido verificados com características de condução e comutação muito competitivas, até mesmo superando outras tecnologias atualmente empregadas, principalmente nos níveis de tensão abaixo de 600 V. Para conhecer profundamente e buscar a otimização são necessários estudos teóricos e experimentais para utilizar a tecnologia, tornando-a cada vez mais uma realidade. Os procedimentos de testes dos interruptores fazem parte do processo de avanço tecnológico, sendo que a partir destes são possíveis avanços com a construção de novos protótipos. Estudar, projetar, analisar, montar e coletar resultados dos

protótipos de circuito DPT empregando o interruptor de **GaN** contribuem para pesquisas futuras, seja em escala regional ou global.

1.2 METODOLOGIA

Primeiramente foram realizados estudos para conhecer os detalhes da tecnologia de **GaN** e do circuito DPT através de verificações em literatura especializada.

Na sequência foram realizadas análises qualitativas e quantitativas referentes aos detalhes do projeto DPT destinados ao estudo e caracterização do interruptor de **GaN**.

Por fim, os protótipos foram construídos e testados nos laboratórios do Núcleo de Processamento de Energia Elétrica da Universidade do Estado de Santa Catarina, com isso foi possível a realização de análises qualitativas e quantitativas da tecnologia e formalizar as atividades realizadas por meio desta dissertação.

1.3 OBJETIVOS

Os objetivos geral e específicos estão apresentados a seguir.

1.3.1 Objetivo geral

Projetar e desenvolver um circuito DPT destinado ao estudo e caracterização do interruptor de **GaN**.

1.3.2 Objetivos específicos

- Conhecer e analisar as tecnologias dos interruptores de **GaN**;
- Projetar *layouts* apropriados para os protótipos de circuito DPT destinados ao estudo e caracterização do interruptor de **GaN**;
- Montar e testar os protótipos do circuito DPT empregando o interruptor de **GaN**;
- Coletar resultados experimentais dos protótipos.

1.4 ESTRUTURA DO TRABALHO

Este trabalho é dividido em sete capítulos, sendo que os assuntos discutidos em cada capítulo estão citados na sequência.

O capítulo 1 consiste na introdução do presente trabalho.

Os capítulos 2 e 3 são compostos de revisões teóricas relacionadas com a tecnologia do interruptor de **GaN**. A finalidade da revisão é fornecer ao leitor o conteúdo de introdução na tecnologia com base em algumas das principais referências científicas envolvidas no assunto.

No capítulo 4 é explicado o circuito DPT, com foco na forma de operação para a realização dos testes do interruptor.

No capítulo 5 são expostas informações de projeto. Os principais componentes empregados nos protótipos são comentados. Os *layouts* das placas e os principais efeitos parasitas são apresentados.

No capítulo 6 são discutidos resultados experimentais. Alguns resultados das medições nos protótipos e dados coletados são apresentados e são comentados de forma pertinente.

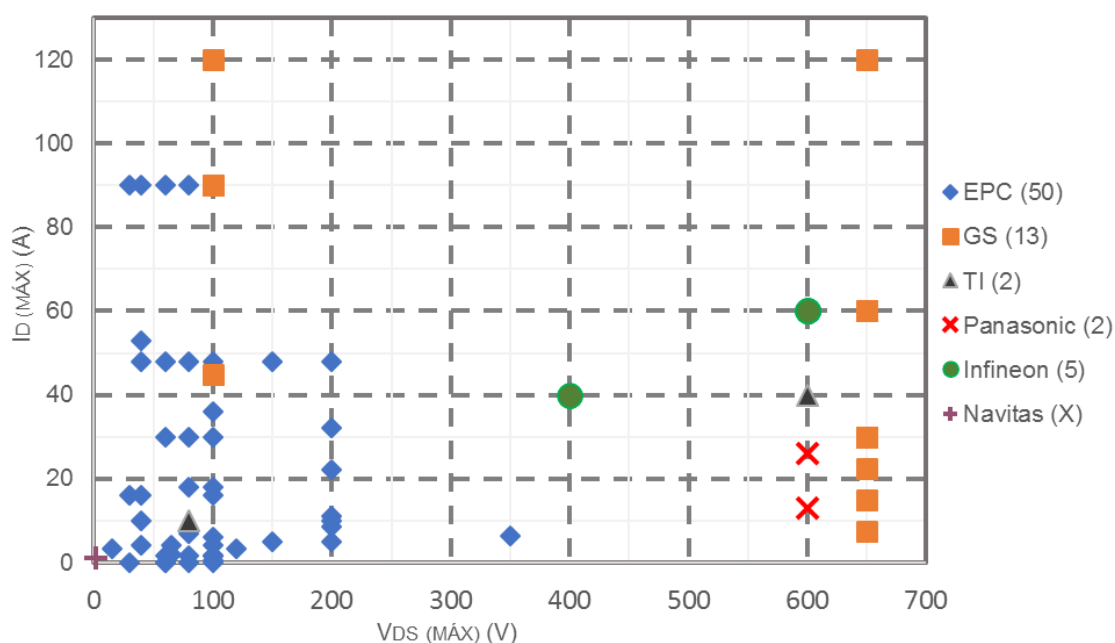
Por fim, no capítulo 7 são apresentadas as conclusões e as dificuldades encontradas durante a realização do presente trabalho. Adicionalmente são realizadas sugestões para trabalhos futuros.

2 GAN HEMT

O *gallium nitride high electron mobility transistor* ou transistor de nitreto de gálio de alta mobilidade de elétrons (**GaN HEMT**) tem sido amplamente estudado e vários dispositivos têm sido criados para estudo e comercialização, buscando-se aprimorar a tecnologia de interruptores baseados no fenômeno de alta mobilidade de elétrons, o efeito já descrito em 1975 (LIDOW, 2015).

Atualmente há vários fabricantes e é crescente o número de modelos disponíveis de transistores de **GaN** para pesquisas/comercializações. O comparativo dos limites de corrente de condução e tensão de bloqueio de diferentes interruptores de **GaN** de **intensificação** está apresentado na forma gráfica na Figura 2. O modelo de **GaN HEMT** utilizado no presente trabalho está situado em 60 A e 600 V.

Figura 2 – Modelos (2018) pesquisados/comercializados de dispositivos de GaN de intensificação. Eixos: corrente $I_{d(max)}$ e tensão de bloqueio $V_{ds(max)}$ (sob condições específicas).



Fonte: Produção do autor.

A denominação do dispositivo eletrônico comumente referenciado como dispositivo **GaN** HEMT, ou ainda, somente transistor de **GaN**, têm sido mencionados destas formas devido ao principal material empregado na sua composição e o principal fenômeno do interruptor. O primeiro termo **GaN**, refere-se à existência do nitreto de gálio (**GaN**) na sua composição. E o segundo termo HEMT, refere-se ao fenômeno de alta mobilidade de elétrons, do inglês *high electron mobility transistor*.

Por se tratar de uma tecnologia recente, inicia-se com a apresentação das propriedades básicas do **GaN** HEMT.

2.1 PROPRIEDADES BÁSICAS DO GAN HEMT

Com intuito de facilitar ao leitor a compreensão da importância das propriedades básicas do **GaN** HEMT serão utilizadas as propriedades básicas do silício (Si) para comparações essenciais. A comparação do **GaN** com o Si é importante, visto as inúmeras aplicações atuais empregando dispositivos baseados em Si, sendo que é o principal material em comercialização atualmente. Cita-se as propriedades intervalo de banda e o campo elétrico crítico como as duas principais propriedades para uma comparação dos materiais Si e **GaN**. O intervalo de banda representa a diferença de energia entre as bandas de valência e condução. E o campo crítico está relacionado com o rompimento de isolamento do material. O material **GaN** possui maiores valores nas duas propriedades, sendo que os valores estão apresentados na Tabela 1.

Tabela 1 – Propriedades dos materiais Si e GaN.

Parâmetro		Si	GaN
Intervalo de banda (<i>Band Gap</i>) E_g	eV	1,12	3,39
Campo elétrico crítico E_{crit}	MV/cm	0,23	3,3

Fonte: adaptado de (LIDOW, 2015).

Com o valor da propriedade do campo crítico do material é possível obter uma das principais características dos interruptores, a resistência de condução teórica. A resistência de condução, como o próprio nome menciona, é o valor da grandeza resistência elétrica do dispositivo, quando está submetido a condução. O valor prático é variável em função de inúmeros parâmetros existentes. Já a resistência de

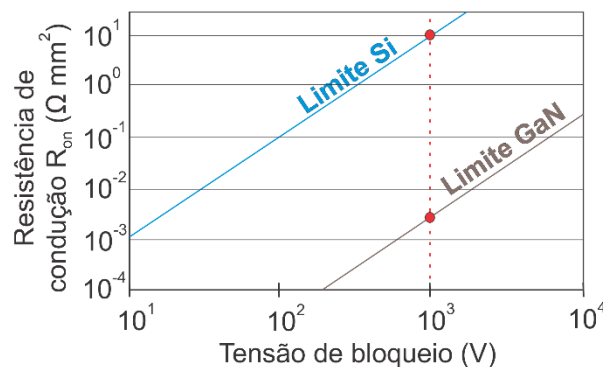
condução teórica define basicamente o limite teórico, trata-se do melhor ponto possível, no qual o uso do material se aproximará ao longo dos aperfeiçoamentos da tecnologia.

A equação (1) apresentada em (LIDOW, 2015) descreve a resistência de condução teórica em função dos parâmetros do material empregado. Desta forma, para uma determinada tensão de bloqueio V_{Bloq} , utilizando o valor de E_{crit} fornecido na Tabela 1, juntamente com os valores das permissividades do vácuo ϵ_0 e relativa ϵ_R , é possível obter os valores da resistência de condução teórica para os materiais Si e **GaN**.

$$R_{ds(on)} = \frac{4V_{bloq}^2}{\epsilon_R \epsilon_0 E_{crit}^3} \quad (1)$$

Ao relacionar as equações de ambos os materiais através da equação (1), tem-se o Si com valores expressivamente maiores do que o **GaN**. a resistência de condução teórica do Si é pelo menos 1000 vezes maior do que a do **GaN**. Os limites teóricos da resistência de condução teórica para os materiais Si e **GaN** estão apresentados na forma gráfica na Figura 3. Há uma diferença maior que 3 décadas entre os limites dos valores da resistência de condução teórica do Si e o **GaN**. Cita-se o exemplo na condição de 10^3 V, nessa situação o dispositivo de **GaN** é menor que $10^{-2} \Omega\text{mm}^2$ e no dispositivo de Si é aproximadamente $10^1 \Omega\text{mm}^2$.

Figura 3 – Limite teórico da resistência de condução em função da tensão de bloqueio empregando os materiais Si e GaN.



Fonte: adaptado de (LIDOW, 2015).

A diferença no limite teórico da resistência de condução é maior que 1000 vezes, sendo que a diferença impacta diretamente nas perdas do dispositivo, portanto no rendimento das aplicações. Sob o aspecto básico de perdas de condução, o valor maior da resistência de condução do Si representa maiores perdas de energia.

É importante salientar que a tecnologia empregando o material Si já foi muito estudada e com muitos anos de pesquisas já realizadas para aprimorar a tecnologia. Já no caso do **GaN**, os estudos e avanços estão somente iniciando, portanto é necessário ainda determinado tempo e avanço tecnológico para o amadurecimento da tecnologia, para que somente então se tenha uma melhor aproximação dos dispositivos ao seu limite teórico.

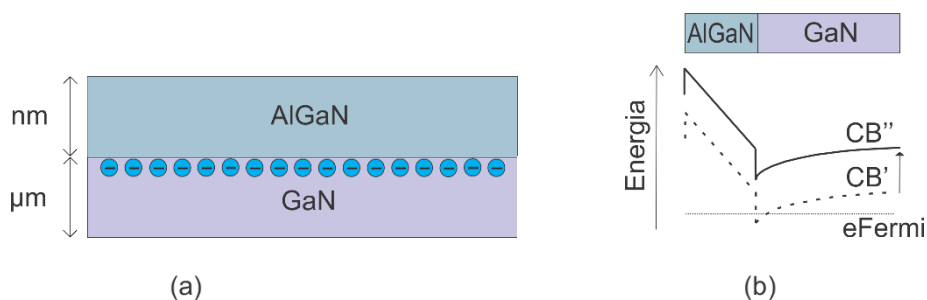
A seguir estão apresentados os detalhes da estrutura do **GaN** HEMT.

2.2 ESTRUTURA ALGAN/GAN E REGIÃO 2DEG

A estrutura básica do dispositivo de **GaN** HEMT consiste de duas camadas, a primeira de alumínio-gallium nitride ou nitreto de gálio-alumínio (**AlGaN**) e a segunda de **GaN**. Com a junção das duas camadas, a partir de propriedades piezoelétricas, há o surgimento de uma região com valor muito elevado de condutividade elétrica que é denominada de 2DEG, do inglês *two-dimensional electron gas* (LIDOW, 2015).

As camadas de **AlGaN** e **GaN** juntamente com a região de 2DEG estão apresentadas na Figura 4 (a).

Figura 4 – Estrutura AlGaN/GaN: (a) formação da região de 2DEG; (b) bandas de condução dos tipos depleção e intensificação.



Fonte: adaptados de (LIDOW, 2015) e (EFTHYMIU, 2017).

A estrutura obtida da união das camadas **AlGaN** e **GaN** é naturalmente uma estrutura **depleção**, ou seja, normalmente em condução, pois sem qualquer ação de comando externo, já há surgimento da região de 2DEG. A região 2DEG surge entre as camadas **AlGaN** e **GaN** e interliga de um lado ao outro da estrutura (no caso de dispositivo se trata como a interligação entre o *Drain* e o *Source*).

A estrutura do **GaN** HEMT pode ser avaliada com auxílio da banda de condução, do inglês *conduction band* (CB) do diagrama de bandas de energia. O dispositivo de **depleção** está mencionado como CB' (linha tracejada) e o **intensificação** mencionado como CB'' (linha contínua). Na estrutura de **depleção**, a região de 2DEG se situa abaixo do nível de Fermi (EFTHYMIOU, 2017), situa-se na região mais inferior da banda de condução CB', conforme apresentado na Figura 4 (b). Entre as camadas **AlGaN** e **GaN**, desde a parte superior até a parte inferior, tem-se a região de 2DEG, análogo a uma região de um “poço” de elétrons livres, ou ainda, o fundo de um vale de cima a baixo, o que forma o canal de condução.

Como a estrutura do dispositivo de **GaN** HEMT formada pelas camadas de **AlGaN** e **GaN** se trata basicamente de uma estrutura de **depleção**, a seguir estão apresentados de forma mais detalhada a estrutura de **depleção**.

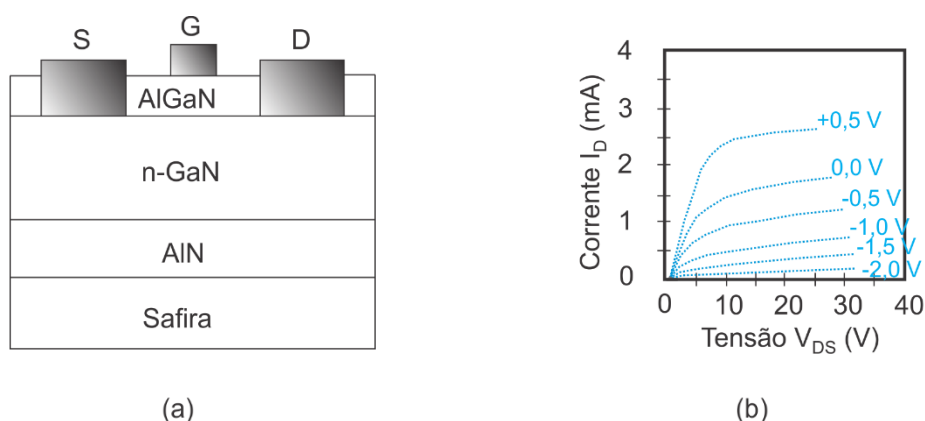
2.3 ESTRUTURA DE DEPLEÇÃO

A fabricação e a caracterização estática da heterojunção **AlGaN/GaN** da estrutura de **depleção**, com apresentação de um dispositivo de alta mobilidade de elétrons na região 2DEG foi inicialmente apresentada em (ASIF KHAN, 1993). O dispositivo foi fabricado com as camadas de **AlGaN** e **GaN** para surgir a região 2DEG, e uma camada de nitreto de alumínio. O substrato que serviu como base foi a safira. Para os contatos elétricos *Drain* e *Source* do dispositivo foram empregados titânio/ouro e para o contato de *Gate* foi empregado titânio/tungstênio. Na Figura 5 (a) está apresentada a estrutura completa de **depleção**.

Com a obtenção da estrutura de **depleção** apresentada na Figura 5 (a), realizou-se em (ASIF KHAN, 1993) a obtenção das curvas da corrente de *drain* I_d em função

da tensão *drain-Source* V_{ds} . A avaliação da estrutura ocorreu na temperatura ambiente com valor de aproximadamente 27 °C e com aplicações de valores de tensão de *gate* V_g de +0,5 a -2 V, com passos de -0,5 V. As curvas da avaliação da estrutura de **depleção** estão apresentadas na Figura 5 (b).

Figura 5 – Depleção: (a) estrutura; (b) gráfico de $I_d \times V_{ds}$ obtido da estrutura para os valores de tensão V_g .



Fonte: adaptado de (ASIF KHAN, 1993).

Para os valores negativos aplicados a tensão de *gate* V_g , até mesmo na situação de -2 V, pode ser verificado na Figura 5 (b) que ainda há valores positivos de corrente de *Drain* I_d . A representação deixa claro a operação de um dispositivo de **depleção**, visto que há necessidade de valores negativos para extinguir o canal de condução e consequentemente a corrente I_d .

Com a obtenção dos dispositivos de **depleção**, já se tornaram possíveis inúmeras aplicações, mas ainda havia a necessidade dos dispositivos de **intensificação**. O avanço à obtenção dos dispositivos de **intensificação** está apresentado a seguir de forma detalhada, visto a sua importância nas aplicações de eletrônica de potência, o principal direcionamento do presente trabalho.

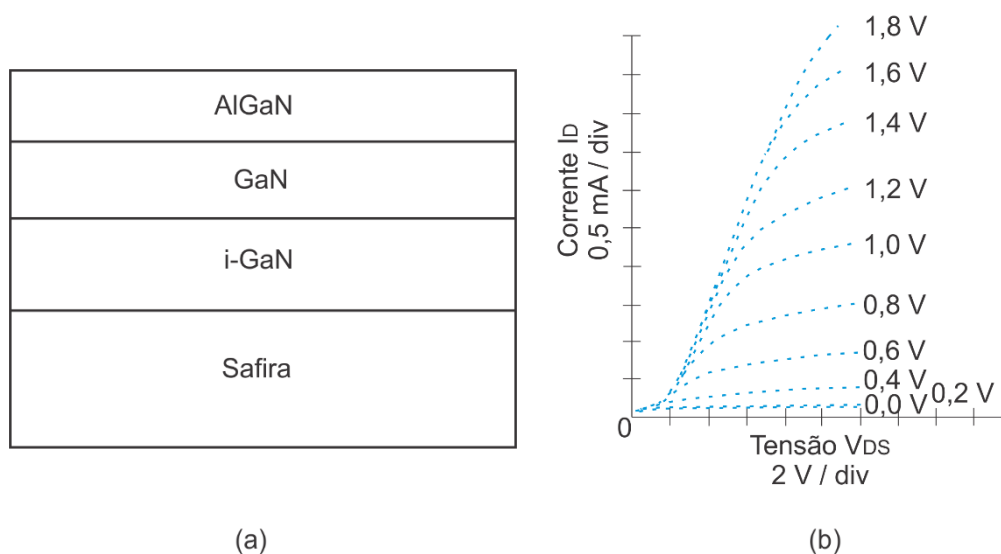
3 GAN HEMT DE INTENSIFICAÇÃO

A fabricação e a caracterização estática da heterojunção **AlGaIn/GaN** da estrutura de **intensificação**, com apresentação de um dispositivo de alta mobilidade de elétrons na região 2DEG foi inicialmente realizada em (KHAN, 1995). O dispositivo foi fabricado com as camadas de **AlGaIn** e **GaN** para a formação da região 2DEG, de forma similar a formação do dispositivo de **depleção**. Uma camada isolante foi implementada e o substrato utilizado como base foi um material a base de safira. Na Figura 6 (a) está apresentada a estrutura de **intensificação**, assemelha-se com a estrutura de **depleção**, sendo que as diferenças estão nos ajustes das dimensões e densidades de dopagem nas camadas de **AlGaIn** e **GaN**.

O comportamento de **intensificação** do dispositivo pode ser verificado a partir das curvas experimentais de corrente I_d em função da tensão V_{ds} , as quais foram apresentadas por (KHAN, 1995). A avaliação do dispositivo ocorreu na temperatura ambiente de 27 °C e foram realizadas com aplicações de valores de tensão V_g de 0 a 1,8 V, com passos incrementais de +0,2 V. As curvas da avaliação da estrutura de **intensificação** estão apresentadas na Figura 6 (b).

A característica de dispositivo de **intensificação** pode ser vista na Figura 6 (b), para os valores mais próximos de 0 V aplicados à tensão de *gate* do dispositivo, têm-se valores relativamente pequenos de corrente I_d . A extinção do canal de condução ocorre para o valor da tensão de *gate* de 0,05 V, conforme mencionado em (KHAN, 1995). As nomenclaturas tensão de **threshold** de *gate* ou somente **tensão de threshold** V_{th} são normalmente empregadas para discriminar o valor da tensão V_g em que ocorre a extinção do canal de condução, normalmente identificado como um valor mínimo que garante a extinção do canal, feito em função da avaliação da corrente através do canal. A segunda forma será a adotada no presente trabalho.

Figura 6 – GaN HEMT: (a) estrutura AlGaN/GaN para obtenção de intensificação; (b) gráfico de $I_d \times V_{ds}$ obtido da estrutura de intensificação para os valores de tensão V_g .



Fonte: adaptado de (KHAN, 1995).

Conforme apresentado no presente trabalho, alguns passos importantes foram realizados em (KHAN, 1995) dando início a obtenção dos dispositivos de **intensificação**. A partir de ajustes das dimensões e/ou densidades de dopagem nas camadas, obteve-se tensões de **threshold** maiores que zero. Na sequência surgiram as principais formas existentes para alterar uma estrutura de **depleção** para **intensificação**, conforme está apresentado a seguir.

3.1 RECESSED-GATE

Como a estrutura do dispositivo de **GaN HEMT** é naturalmente um dispositivo de **depleção**, primeiramente havia necessidade de alguma alteração/manipulação em sua estrutura, de modo a torná-la de **intensificação**. A partir disso surgiu a estrutura denominada de *recessed-gate*, visto como estudo em (SAITO, 2006) e detalhada a seguir.

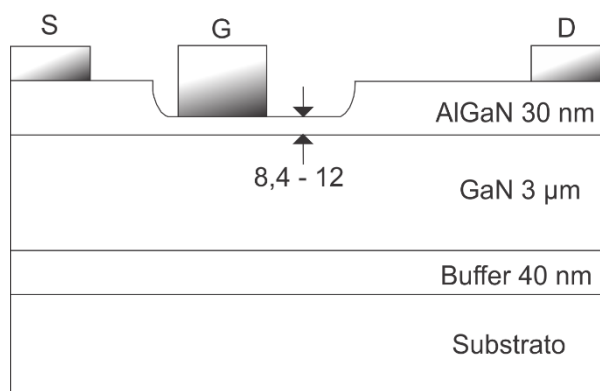
3.1.1 Estrutura Recessed-Gate

A estrutura *recessed-gate* se baseia na alteração da espessura da camada de **AlGaN**, isso acarreta diretamente na alteração da densidade da região de 2DEG, conforme mencionado inicialmente em (KHAN, 1995). Com a redução da espessura da camada de **AlGaN**, reduz-se a densidade da região de 2DEG. A redução da densidade elimina o canal de condução que somente surgirá com alguma ação externa, como a aplicação de determinado valor positivo da tensão *gate-source* V_{gs} .

O dispositivo de **intensificação** cuja estrutura possui a denominação de *recessed-gate* pode ser compreendido basicamente como um dispositivo de **depleção** com uma modificação sob o *gate*. Realiza-se uma redução na espessura do material de **AlGaN** somente sob a região de *gate*, o que acarreta na redução do valor de condutividade da região de 2DEG somente sob o *gate*. Desta forma, há uma interrupção do canal de condução somente sob o *gate*, mantendo-se sem alteração nas demais partes do dispositivo, conforme mencionado em (SAITO, 2006) com estudo experimental da estrutura.

Na Figura 7 está apresentado a estrutura de **GaN** de **intensificação** denominada de *Recessed-Gate*. A estrutura possui reduções de **AlGaN** sob a região de *gate* de 30 nm para 8,4-12 nm.

Figura 7 – Estrutura *recessed-gate* com uma camada de AlGaN com menor espessura sob o *gate*.



Fonte: adaptado de (SAITO, 2006).

A estrutura do dispositivo de **GaN** HEMT de **intensificação recessed-gate** possui característica de condutividade similar ao dispositivo de **depleção**, isto é, somente há um pequeno incremento no valor da resistência do canal de condução (entre os terminais *drain* e *source*, conforme verificado experimentalmente e mencionado em (SAITO, 2006). O incremento no valor da resistência do canal de condução é consequência da redução da densidade da região 2DEG sob o *gate*.

Para reestabelecer a região 2DEG sob o *gate*, portanto reestabelecer o canal para condução, faz-se necessário aplicar um determinado valor positivo de tensão V_{gs} que retomará o canal interrompido.

Na sequência estão apresentados mais detalhes da estrutura *recessed-gate* que relacionam a região de 2DEG, a tensão de **threshold** V_{th} e a resistência $R_{ds(on)}$.

3.1.2 A região de 2DEG, a tensão de **threshold** e a resistência $R_{ds(on)}$

A entrada em condução do dispositivo de estrutura *recessed-gate* é obtida ao reestabelecer a região interrompida do 2DEG sob o *gate*, para isso, primeiramente faz-se necessário a aplicação de determinado valor positivo da tensão V_{gs} , acima do valor da tensão de **threshold** V_{th} , com isso, inicia-se a condução do dispositivo.

A partir de dados de avaliação experimental apresentados em (SAITO, 2006), obteve-se valores da tensão V_{th} em função de espessuras do material de **AlGaN** sob o *gate*. Na situação da avaliação experimental em (SAITO, 2006) foi considerado a tensão V_{th} como o valor da tensão V_{gs} quando o valor de corrente I_d do dispositivo era inferior a 100 $\mu\text{A}/\text{mm}$. Desta forma, não avalia-se erroneamente o início da formação do canal de condução, visto que há um pequeno valor de corrente de dispersão do *drain* I_d que flui através da camada de *buffer* de **GaN**.

Em resumo, a tensão V_{th} incrementa em função do decremento da espessura do material de **AlGaN** sob o *gate*. Uma aproximação do comportamento da tensão de V_{th} em função da espessura do material **AlGaN** pode ser obtido da equação (2), conforme mencionado em (SAITO, 2006) a partir de avaliações experimentais.

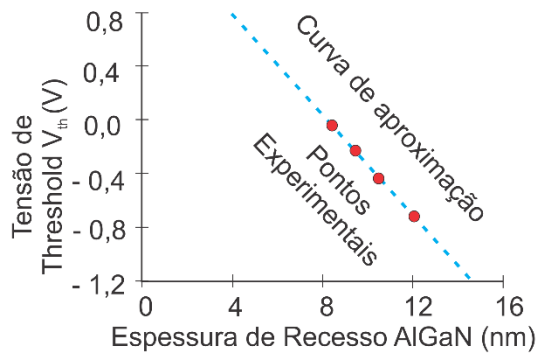
$$V_{th} = 1,51 - 0,184t_{RA} \quad [V] \quad (2)$$

onde t_{RA} é a espessura do material **AlGa**N sob o *gate*.

A curva de aproximação representada pela equação (2) indica a possibilidade de uma estrutura com um valor de tensão de V_{th} positivo. Pode ser verificado que para valores de espessura de **AlGa**N menores que 8,2 nm, a equação (2) resulta em valores positivos da tensão V_{th} .

Os pontos das avaliações experimentais utilizados em (SAITO, 2006) e a curva de aproximação estão apresentados na Figura 8.

Figura 8 – Pontos experimentais e a curva de aproximação da tensão V_{th} em função da espessura do material AlGa



Fonte: adaptado de (SAITO, 2006).

Com a mudança na condutividade do canal sob a região de *gate*, faz-se necessário uma comparação da resistência de condução $R_{ds(on)}$ do dispositivo. O comparativo entre as estruturas sem redução e com redução da espessura de **AlGa**N sob o *gate* foi apresentado em (SAITO, 2006) e está apresentado resumidamente na Tabela 2. Pode-se verificar o incremento na resistência de condução de 3,9 para 4 m Ω x cm², um aumento relativamente pequeno, visto a alteração incrementando a tensão V_{th} de - 4 para - 0,14 V.

Tabela 2 – Comparativo sem e com redução da espessura de AlGaIn sob o *gate*.

Tipo	V _{th} (V)	mΩ x cm ²
Depleção	- 4	3,9
Intensificação	- 0,14	4

Fonte: adaptado de (SAITO, 2006).

O comportamento da densidade na região 2DEG em função da espessura do material **AlGaIn** apresentado em (SAITO, 2006) pode ser obtido através das equações (3) e (4).

$$N_{2DR} = N_{2D} \left(1 - \frac{t_{CR}}{t_{RA}} \right) \quad (3)$$

$$t_{CR} = \frac{(E_D - \Delta E_C) \varepsilon}{q N_{2D}} \quad (4)$$

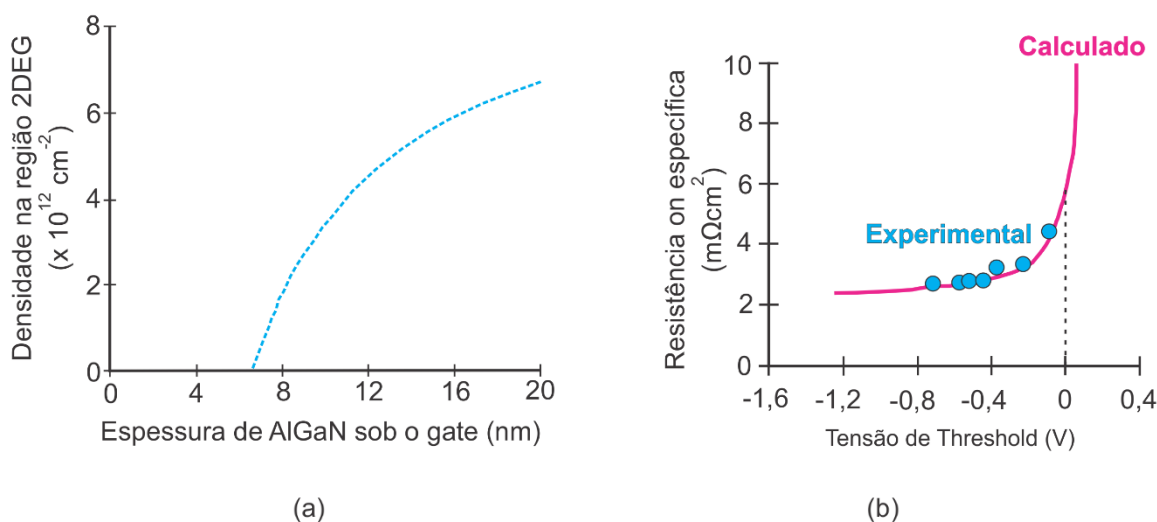
Onde N_{2D} é a densidade da região 2DEG, E_D é o nível energia de superfície do **AlGaIn**, ΔE_C é a banda de condução na interface **AlGaIn/GaN**, ε é a permissividade elétrica, t_{RA} e t_{CR} são as espessuras do material **AlGaIn** sob o *gate* e referência, respectivamente.

A representação gráfica das equações (3) e (4) que relaciona a densidade da região 2DEG com a espessura do material de **AlGaIn** indica valores bastante reduzidos de densidade para situações com espessuras de **AlGaIn** menores que 8,2 nm (é o mínimo valor para obter uma tensão V_{th} positiva, conforme (SAITO, 2006)). A curva obtida de (SAITO, 2006) que relaciona a densidade da região 2DEG com a espessura do material de **AlGaIn** está apresentada na Figura 9 (a).

Outro aspecto relacionado com a alteração na espessura da camada de **AlGaIn** é a resistência específica que dependendo da situação pode inviabilizar a estrutura. A curva de (SAITO, 2006) que relaciona a resistência específica da estrutura com a tensão V_{th} está apresentada na Figura 9 (b). Para valores da tensão V_{th} negativos, na faixa de -1,2 a -0,2 V, tem-se praticamente um valor constante de resistência específica, pouca alteração ao modificar a tensão V_{th} . Já no caso da tensão de V_{th}

nas proximidades de 0 V, ou ainda, para valores positivos, a resistência específica aumenta consideravelmente a medida que a tensão V_{th} é incrementada. Portanto, para valores positivos da tensão V_{th} , a estrutura se torna inviável, visto que o crescente aumento da resistência específica reflete diretamente no aumento das perdas de potência no qual o dispositivo estará inserido. Para contornar a situação, a estrutura foi adaptada e a forma implementa pelo autor está comentada na sequência.

Figura 9 – Estrutura *recessed-gate*: (a) curva da densidade da região 2DEG em função da espessura da camada de AlGaIn; (b) pontos experimentais e as curvas das resistências específicas em função da tensão V_{th} .



Fonte: adaptado de (SAITO, 2006).

Conforme pode ser visto na Figura 9 (b), com o incremento do valor da tensão V_{th} principalmente no caso de valores positivos, há relativamente grande incremento do valor da resistência específica, tornando-se uma estrutura inviável. Uma solução para a estrutura é a inserção de uma capacitância de isolamento no terminal de *gate* em um dispositivo com relativamente pequeno valor de resistência específica, conforme proposto em (SAITO, 2006). A modificação basicamente insere uma translação no valor da tensão V_{th} .

Para viabilizar a obtenção de estrutura para valores positivos de tensão V_{th} , uma associação entre a capacitâncias de **AlGaIn** e isolamento do *gate* é necessária. A associação série das duas capacitâncias distribui proporcionalmente a tensão sobre

elas, desta forma, o valor de tensão aplicado a capacitância de **AlGaN** é proporcionalmente reduzido. Com a modificação, o valor da tensão V_{gs} que dará início a condução será maior do que no caso anterior, conforme equação (5).

$$V_{th,MIS} = \left(1 + \frac{C_{AlGaN}}{C_{MIS}} \right) V_{th,AlGaN} \quad (5)$$

$$C_{gMIS} = \frac{1}{\frac{1}{C_{AlGaN}} + \frac{1}{C_{MIS}}} = \frac{1}{\frac{t_{RA}}{\epsilon_{AlGaN}} + \frac{t_{MIS}}{\epsilon_{MIS}}} \quad (6)$$

Onde t_{MIS} é a espessura do isolador de *gate*, ϵ_{AlGaN} é a constante dielétrica do **AlGaN** e ϵ_{MIS} é a constante dielétrica do isolador de *gate*., C_{MIS} e C_{gMIS} são as capacitâncias do isolador de *gate* e resultante com isolador de *gate*, *respectivamente*.

Com a estrutura *recessed-gate* parcialmente apresentada é possível dar sequência apresentando a sua característica estática.

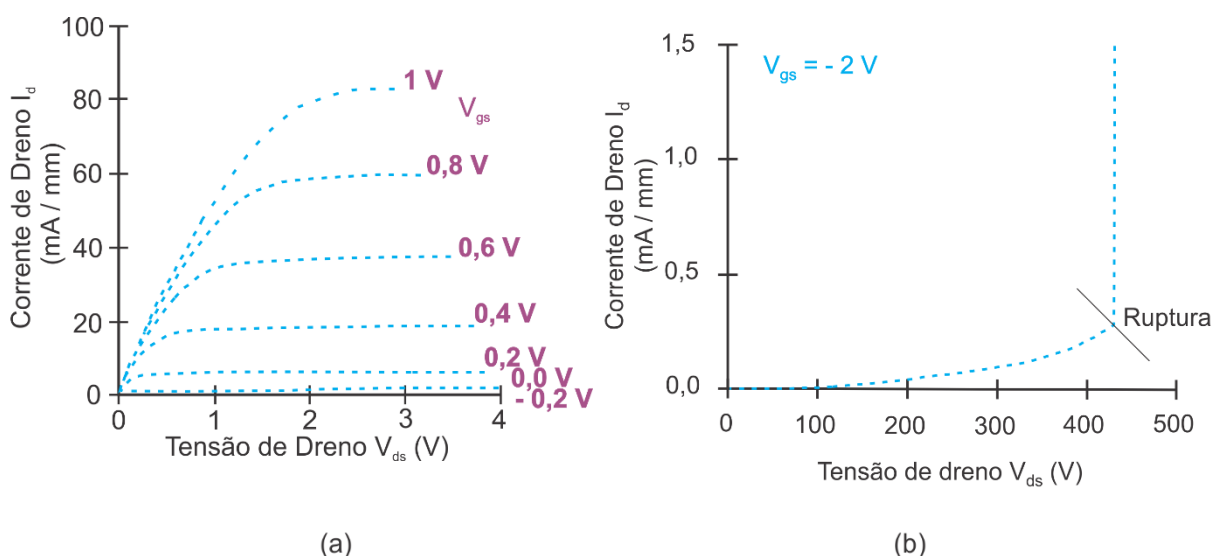
3.1.3 Característica estática

De forma análoga ao realizado para outros dispositivos de diferentes tecnologias, comumente se utiliza a análise do dispositivo na forma de curvas de corrente I_d em função da tensão V_{ds} . As curvas de corrente I_d em função da tensão V_{ds} do dispositivo de **intensificação recessed-gate** de (SAITO, 2006) estão apresentadas na Figura 10 (a).

Na Figura 10 (a) pode ser verificado a operação de **intensificação** do dispositivo ao verificar o valor zero de corrente I_d quando aplicado 0 V à tensão V_{gs} . Ao excursionar por toda faixa de valores de tensão V_{ds} , nota-se praticamente inexistência de corrente I_d para os valores da tensão V_{gs} abaixo de 0 V. Outra característica a ser comentada é o incremento do valor de corrente I_d em função do incremento do valor de tensão V_{gs} , para o mesmo valor de tensão V_{ds} .

A característica de bloqueio do dispositivo é comumente avaliada, a partir dela é possível verificar a capacidade de bloqueio da tensão no dispositivo. Para essa situação, primeiramente se aplica um valor de tensão V_{gs} menor que a tensão V_{th} , isso para garantir uma interrupção do canal de condução. Na sequência podem ser aplicados valores de tensão V_{ds} para verificação do bloqueio. Quanto mais reduzidos os valores da corrente I_d , melhor é o bloqueio. Na Figura 10 (b) está apresentada a característica de bloqueio do dispositivo de (SAITO, 2006), sendo notáveis pequenos valores da corrente I_d , o que demonstra que o dispositivo está realizando o bloqueio. Para o valor da tensão V_{ds} de 435 V há a ocorrência de uma variação abrupta da corrente I_d , sendo a ocorrência do rompimento do dispositivo.

Figura 10 – Característica estática: (a) curvas da corrente I_d em função da tensão V_{ds} para vários valores da tensão V_{gs} ; (b) curva da corrente I_d em função da tensão V_{ds} para a estrutura em bloqueio.

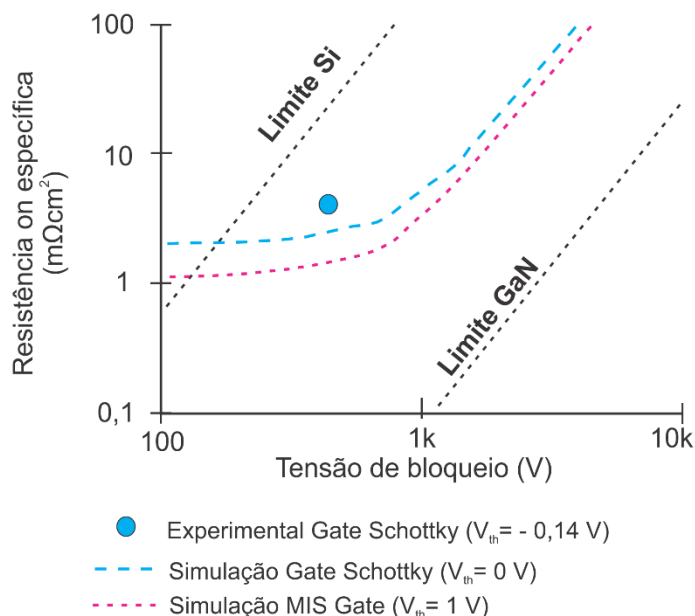


Fonte: adaptado de (SAITO, 2006).

O dispositivo pode ainda ser avaliado em função da sua resistência específica durante a condução, sendo normalmente empregado como comparativo entre diferentes tipos de dispositivos e com os limites das tecnologias Si e **GaN**. A curva da estrutura Schottky, o ponto experimental Schottky para V_{th} de -0,14 V e a curva MIS gate obtidas de (SAITO, 2006) estão apresentados na Figura 11. As curvas se

apresentam ainda distantes do limite teórico da tecnologia de **GaN**, mas já se apresentam como melhores do que o limite teórico da tecnologia de Si.

Figura 11 – Curvas da resistência específica das estruturas em função da tensão de bloqueio e ponto experimental *gate* Schottky.



Fonte: adaptado de (SAITO, 2006).

Com intuito de aprimorar os estudos dos dispositivos atuais e criar facilidades no estudo de diferentes estruturas de dispositivos de **GaN**, é possível criar modelos em programas computacionais que se aproximam de situações experimentais. Na sequência está abordado um estudo de modelo TCAD.

3.1.4 Modelo TCAD

Com o surgimento de novas tecnologias e a insaciável busca por aprimoramentos em dispositivos existentes, tornam-se necessárias otimizações do tempo e do custo nos processos de avaliações de novos modelos de dispositivos. Um método empregado é a utilização de simulação computacional, desta forma, pode-se avaliar inúmeras modificações em componentes, sem a execução de processos como a fabricação e a verificação experimental. A partir do compilado de trabalhos científicos foi possível uma análise com detalhes de modelo TCAD.

Como as estruturas do **GaN** HEMT têm sido amplamente estudadas, visto que há possibilidades de aprimoramentos, torna-se viável a utilização do recurso de simulações computacionais para auxiliar na avaliação do desempenho das estruturas. Para realizar avaliações na estrutura do **GaN** HEMT em (HONTZ, 2018), empregou-se um programa computacional comercial Synopsys Sentaurus.

A estrutura do **GaN** HEMT estudada em (HONTZ, 2018) é a *gate-recessed* de **intensificação** apresentada em (SAITO, 2006) e produzida pela *HRL Laboratories, LLC*.

As dimensões das regiões do dispositivo foram especificadas a partir de imagens, sendo refinadas com *transmission electron microscope* (TEM). A estrutura está apresentada na Figura 12 (a), com anotações das regiões: Si, **GaN** buffer e terminais.

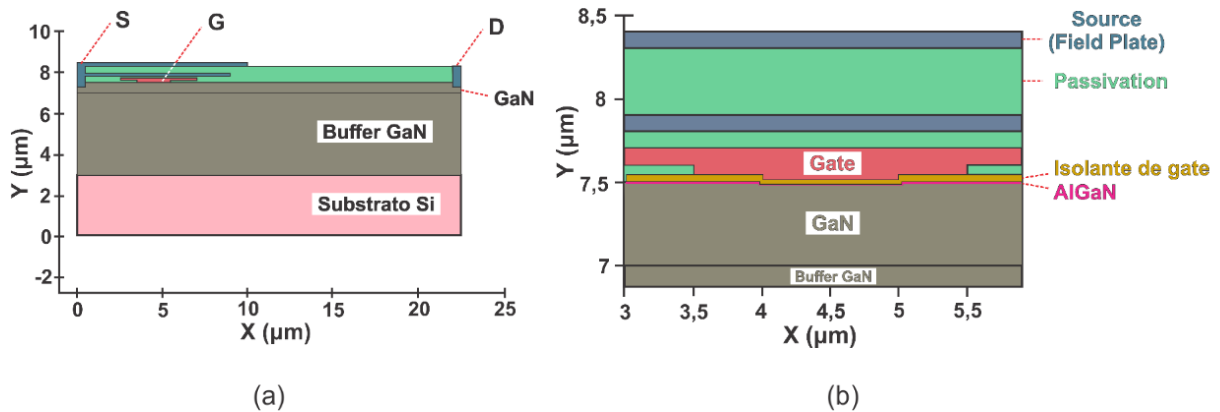
Além das regiões citadas na Figura 12 (a), na estrutura do dispositivo estão presentes com menor espessura as regiões de **AlGaN**, **GaN** e isolante do *gate*.

A formação do canal de condução do dispositivo se dá a partir do efeito piezoelétrico na interface das regiões de **AlGaN** e **GaN**, denominada de região 2DEG (SAITO, 2006). A região se torna um ótimo caminho para a condução em função da característica da alta mobilidade de elétrons (LIDOW, 2015).

Na ausência de alguma alteração no dispositivo, como a região do canal se estende do terminal de *source* até o terminal de *drain*, desta forma, haveria uma conexão direta entre os terminais, portanto o dispositivo seria de **depleção**. No entanto, um método para torná-lo um dispositivo de **intensificação** é a aplicação de uma redução da densidade de cargas sob o *gate*. A alteração é obtida com a redução da espessura da região de **AlGaN** sob o *gate* e aprimorada com a inserção de uma região isolante entre o terminal de *gate* e a região **AlGaN**. (SAITO, 2006).

Uma visão ampliada da estrutura da (HUANG, 2014) nas proximidades do terminal de *gate* está apresentada na Figura 12 (b), com anotações das regiões: **GaN**, **AlGaN** e isolante de *gate*.

Figura 12 – Modelo TCAD *recessed-gate*: (a) visão da estrutura; (b) visão ampliada da estrutura.



Fonte: adaptado de (HONTZ, 2018).

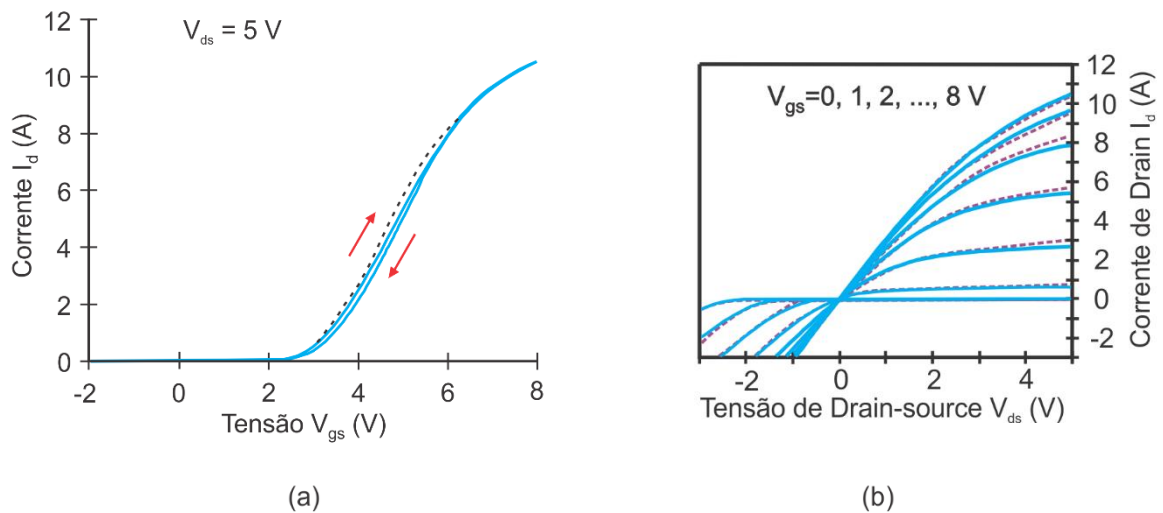
Uma ocorrência de deformação acontece na região de 2DEG, a condutividade é afetada em função de uma densidade de cargas na superfície superior da região de **AlGaIn**. Nesta região se concentram um número elevado de *traps* que não são intencionais, mas resultantes do processo de fabricação. A redução de condutividade ocorre porque elétrons da região de 2DEG acabam sendo movidos para os *traps* (HUANG, 2014).

Com o dispositivo bloqueado há redução da condutividade da região de 2DEG e ao entrar em condução há uma transição do valor de condutividade da região de 2DEG. A condutividade do canal que se forma entre os terminais *drain* e *source* inicia com um valor menor, denominado de valor dinâmico, até atingir o valor maior, denominado de valor estático. Durante a transição de valores de condutividade há ocorrência de maiores perdas devido a redução do valor condutividade no canal. Em (HUANG, 2014) é apresentado detalhes da recuperação da densidade do 2DEG durante a entrada em condução do dispositivo. Em (HONTZ, 2018) cargas fixas foram adicionadas para aprimorar os resultados de simulação.

O resultado da simulação do programa computacional na forma de curva característica da corrente I_d em função da tensão V_{gs} está apresentado na Figura 13 (a).

Detalhes das regiões da curva de corrente I_d em função da tensão V_{gs} , inclusive do efeito de inversão de *layer* que ocorre sob o *gate*, com os elétrons movidos da região de 2DEG a partir de tunelamento e emissão termiônica foram apresentadas por (HONTZ, 2018). A transferência de elétrons da região de 2DEG para a região de inversão de *layer* modelado como um caminho resistivo entre as duas regiões é apresentado em (LONGOBARDI, 2014). O resultado da simulação do programa computacional na forma de curva característica da corrente I_d em função da tensão V_{ds} está apresentado na Figura 13 (b).

Figura 13 – Comparativo *recessed-gate*: (a) curvas experimental (contínua) e simulada (tracejada) da corrente I_d em função da tensão V_{gs} ; (b) curvas experimentais (contínuas) e simuladas (tracejadas) da corrente I_d em função da tensão V_{ds} para tensões V_{gs} .



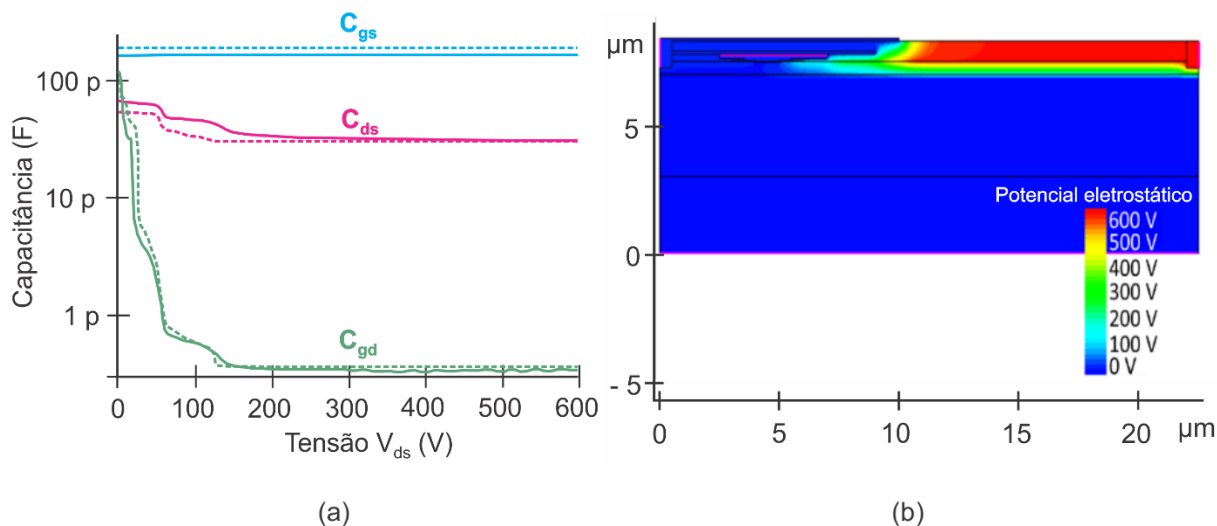
Fonte: adaptado de (HONTZ, 2018).

Os valores das capacitâncias entre os terminais do dispositivo em função da tensão V_{ds} resultantes da simulação do programa computacional estão apresentados na Figura 14 (a).

Com o dispositivo bloqueado, a aplicação de tensão V_{ds} acarreta em uma distribuição de tensão sobre o material isolante existente entre os terminais de *drain* e *gate*. A distribuição de tensão afeta o valor de permissividade do material, em consequência causa alterações no valor de capacitância entre os terminais *drain* e *gate*. A forma de distribuição do potencial eletrostático entre os terminais de *drain* e

source obtido a partir da simulação do programa computacional com aplicação de 600 V está apresentado na Figura 14 (b).

Figura 14 – Estrutura *recessed-gate*: (a) curvas experimental (contínua) e simulada (tracejada) das capacitâncias da estrutura; (b) visão da distribuição do potencial eletrostático na estrutura.



Fonte: adaptado de (HONTZ, 2018).

A análise pode ser estendida para avaliar diferentes dispositivos, com diferenças estruturais, alterações de materiais ou dimensões.

Além da estrutura *recessed-gate*, uma outra estrutura surgiu em consequência da busca pelo dispositivo de **intensificação** e pode ser vista na sequência.

3.2 ESTRUTURA COM BASE NO TRATAMENTO DE PLASMA

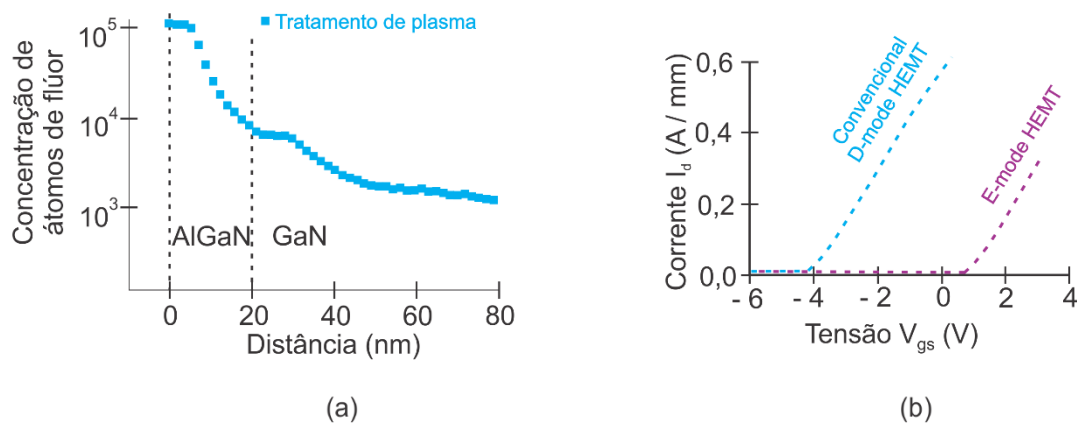
O tratamento de plasma visa a transformação da estrutura do **GaN** HEMT, ela é inicialmente uma estrutura de **depleção** que com o tratamento é transformada para uma estrutura de **intensificação**. A estrutura se baseia na técnica de tratamento de “plasma fluoreto” para incorporar íons negativos de flúor no material **AlGaN** e alcançar uma mudança na tensão de **threshold** (CAI, 2005). Os detalhes da tensão de **threshold** V_{th} do dispositivo estão apresentados a seguir.

3.2.1 Tensão de *threshold*

Em (CAI, 2005), a concentração de fluoreto nos materiais **GaN** e **AlGaN** está apresentada na Figura 15 (a).

Inicia-se com uma estrutura de **depleção**, no caso da estrutura analisada em (CAI, 2005), inicialmente uma estrutura com tensão de **threshold** de aproximadamente -4 V, isso antes da realização do tratamento. Com o tratamento a tensão V_{th} passou a ser de $0,9$ V, configurando-se um dispositivo de **intensificação**, conforme pode ser verificado na Figura 15 (b).

Figura 15 – Com base no tratamento de plasma: (a) concentração de fluoreto (b) curvas da corrente I_d em função da tensão V_{gs} para ambas as situações.



Fonte: adaptado de (CAI, 2005).

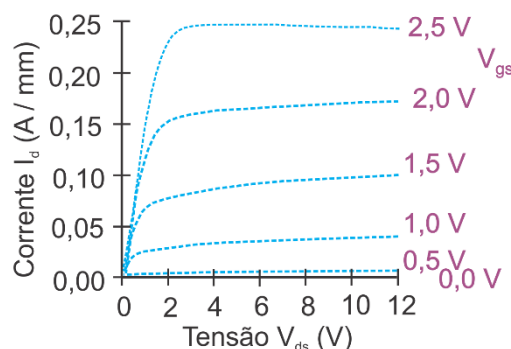
Na avaliação do dispositivo de **intensificação** no estado de bloqueio, com aplicação do valor de V_{ds} de 6 V, somente foi verificado o valor relativamente pequeno de corrente I_d de $28 \mu\text{A/mm}$, desta forma, garantindo-se a operação de bloqueio.

Na sequência a característica estática da estrutura com base no tratamento de plasma.

3.2.2 Característica estática

As curvas de corrente I_d em função da tensão V_{ds} para vários valores de V_{gs} do dispositivo baseado no tratamento de plasma de (CAI, 2005) estão apresentadas na Figura 16.

Figura 16 – Curvas da corrente I_d em função da tensão V_{ds} para várias tensões V_{gs} .



Fonte: adaptado de (CAI, 2005).

Além da estrutura com base no tratamento de plasma, uma outra estrutura surgiu em consequência da busca pelo dispositivo de **intensificação** e pode ser vista na sequência.

3.3 TRANSISTOR DE INJEÇÃO DE GATE

O dispositivo de **GaN** HEMT com a estrutura denominada de *gate injection transistor* ou transistor de injeção de *gate* (GIT) foi inicialmente apresentado em (UEMOTO, 2007). A estrutura é do tipo de **intensificação** e possui o detalhe particular que permite a modulação de corrente de *gate*. A estrutura do GIT pode ser vista em detalhes na sequência.

3.3.1 Estrutura GIT

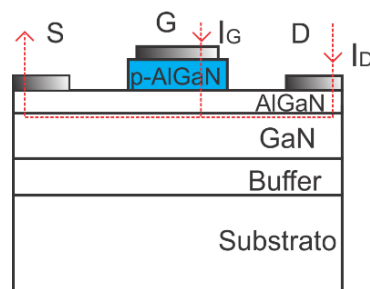
A estrutura GIT é obtida a partir da modificação da estrutura de **depleção**, pois conforme já mencionado, o **GaN** HEMT é naturalmente de **depleção**. A estrutura GIT é composta de uma camada dopada do tipo P na região de *gate*. A camada do tipo P se localiza entre o contato de metal e o material **AlGaN** (HU, 2000). O contato de metal é o meio de acesso ao dispositivo. E com essa adaptação, o dispositivo passa a operar com um valor positivo da tensão V_{th} .

Na estrutura GIT, as alterações na estrutura não afetam a condutividade da região de 2DEG, diferentemente da estrutura *recessed-gate* em que a redução da

espessura do material **AlGaN** prejudica a condutividade (KHAN, 1995). A estrutura GIT possibilita obter níveis maiores de tensão V_{th} sem acarretar em incremento da resistência específica do canal de condução. Diferentemente da estrutura *recessed-gate* em que níveis maiores de tensão V_{th} podem ser obtidos a custo do incremento da resistência específica do canal de condução. A estrutura GIT conta ainda com o efeito de segundo pico de transcondutância (UEMOTO, 2007).

Na Figura 17 está apresentada a estrutura GIT.

Figura 17 – Estrutura do transistor de injeção de *gate* (GIT).



Fonte: adaptado de (UEMOTO, 2007).

Quando há inserção do **GaN** em wafer padrão de Si, a camada denominada de buffer permite melhorar a qualidade da estrutura, devido as diferenças existentes entre os materiais **GaN** e Si (UEMOTO, 2007).

Os detalhes da região de 2DEG e a tensão V_{th} da estrutura GIT estão apresentados a seguir.

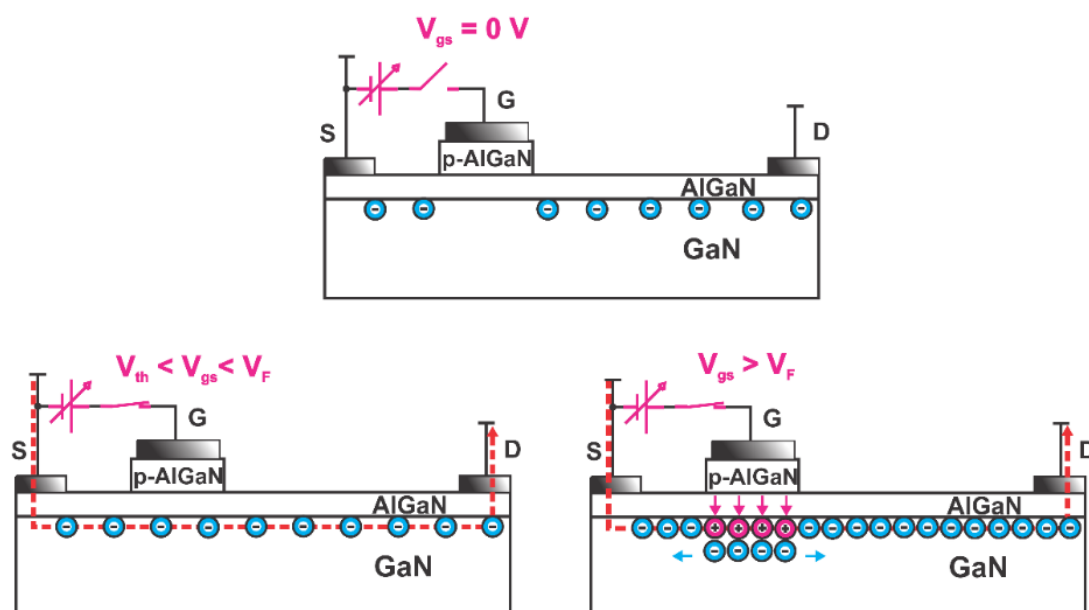
3.3.2 A região de 2DEG e a tensão de *threshold*

A estrutura GIT pode ser basicamente analisada como três formas de atuação distintas (UEMOTO, 2007), as quais são determinadas em função do valor aplicado da tensão V_{gs} , são elas:

- i) com $V_{gs} = 0$ V, uma **depleção** da região de 2DEG sob o *gate*;
- ii) com $V_{th} < V_{gs} < V_F$, uma formação da região de 2DEG sob o *gate*;
- iii) com $V_{gs} > V_F$, uma injeção de lacunas na região 2DEG sob o *gate*.

Na Figura 18 estão apresentadas as três formas de atuação da estrutura GIT.

Figura 18 – Estrutura GIT sob condições de operação.

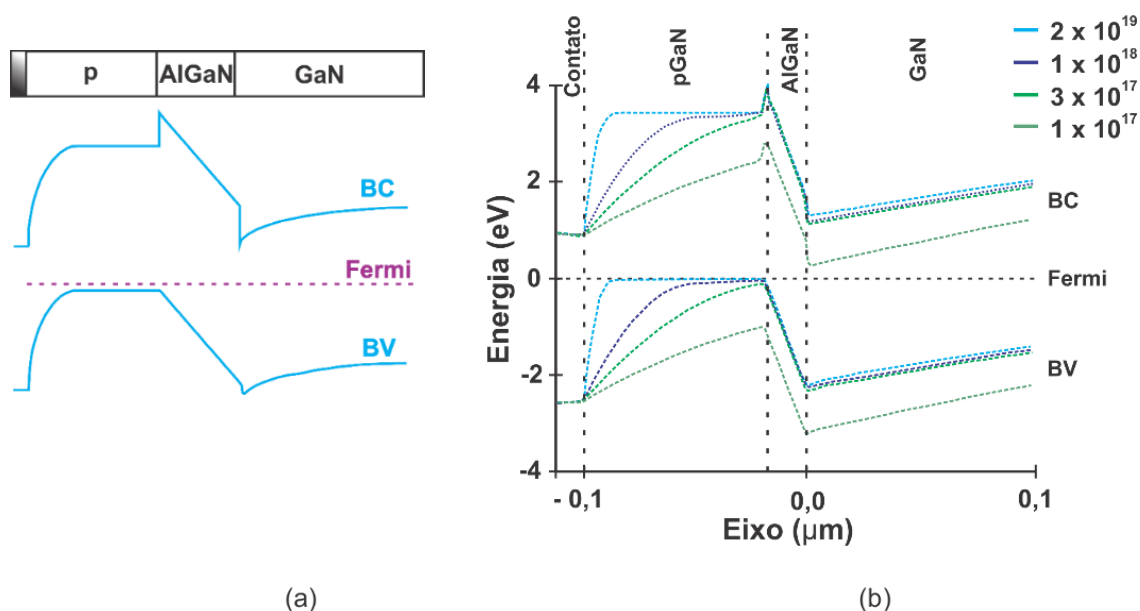


Fonte: adaptado de (UEMOTO, 2007).

Como a estrutura GIT é caracterizada como de **intensificação**, com a aplicação do valor da tensão V_{gs} de 0 V, a região de 2DEG se encontra com elevada banda de condução no diagrama de bandas, acima do nível de Fermi, o que a torna basicamente uma estrutura de **intensificação** (EFTHYMIU, 2017). Quanto mais elevado estiver a banda de condução na região de 2DEG, maior é a **depleção** na região de 2DEG próximo ao *gate*. O diagrama de bandas da estrutura GIT com a aplicação do valor da tensão V_{gs} de 0 V está apresentado na Figura 19 (a).

A influência do nível de dopagem do material P pode ser analisada com auxílio do diagrama de bandas da estrutura. De acordo com a alteração do nível da dopagem do material P, tem-se a alteração na diferença entre os níveis da banda de condução e de Fermi. Na região de formação de 2DEG, ao incrementar o nível de dopagem, o nível da banda de condução se distancia do nível de Fermi (EFTHYMIU, 2017). Na Figura 19 (b) está apresentado o diagrama de banda em função da dopagem do material pGaN para o valor de tensão V_{gs} de 0 V.

Figura 19 – Diagrama de bandas da estrutura GIT: (a) para tensão de *gate* de 0 V; (b) em função da dopagem do material pGaN.



Fonte: adaptado de (EFTHYMIU, 2017).

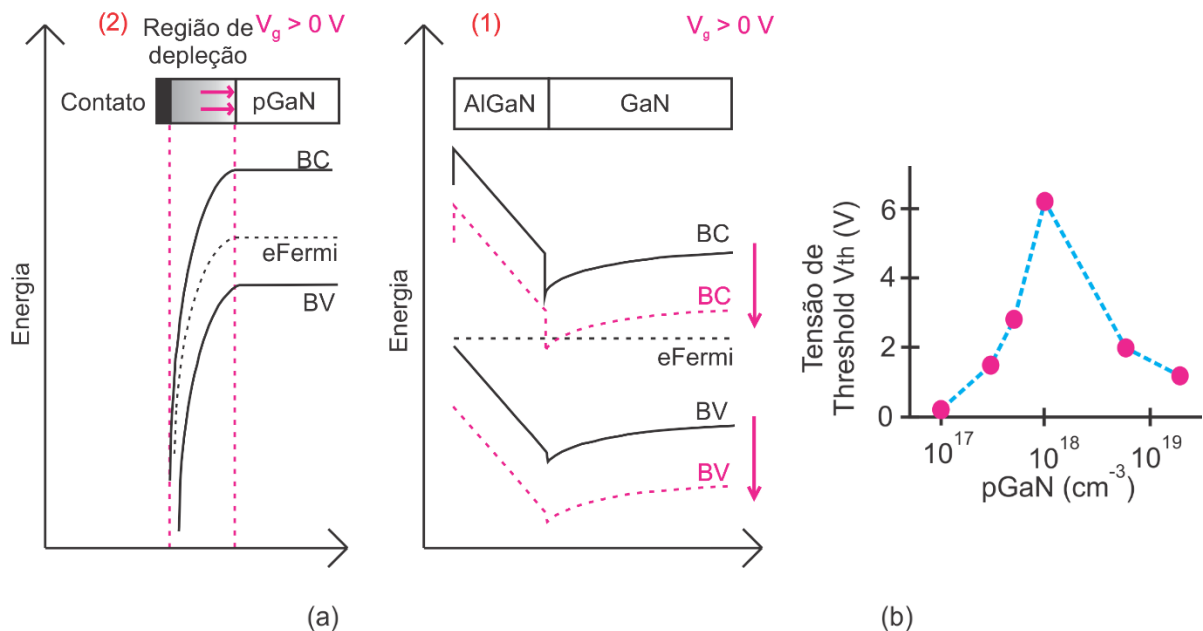
No diagrama de bandas da estrutura podem ser verificados basicamente dois principais efeitos que estão apresentados a seguir.

O primeiro efeito no diagrama de bandas da estrutura pode ser verificado a partir da aplicação de valores positivos da tensão V_{gs} . Com isso a banda de condução da região de 2DEG se aproxima do nível de Fermi, desta forma se aproxima da formação do canal de condução, conforme (i) da Figura 20 (a). A influência do nível de dopagem do material P nesse primeiro efeito é justamente o distanciamento entre a banda de condução e o nível de Fermi quando o nível de dopagem é aumentado. Em consequência disso ocorre o aumento da tensão de **threshold** (EFTHYMIU, 2017).

O segundo efeito é o estreitamento da região da barreira de **depleção** entre o contato e o material P o que provoca efeito de *tunneling* de lacunas através da barreira e isso contribui para que a banda de condução da região de 2DEG se aproxime do nível de Fermi, conforme (ii) da Figura 20 (a). A influência do nível de dopagem do material P nesse segundo efeito ocorre com a aproximação entre a banda de condução e o nível de Fermi de acordo com o incremento do nível de dopagem. Em consequência disso ocorre a diminuição da tensão V_{th} (EFTHYMIU, 2017).

Como a alteração no nível da dopagem do material P impacta no valor da tensão V_{th} (EFTHYMIU, 2017), a partir das investigações realizadas por (EFTHYMIU, 2017) foi possível avaliar o comportamento da tensão V_{th} em função do nível da dopagem do material P. Na Figura 20 (b) está apresentado a tensão V_{th} em função do nível de dopagem do material P. A tensão V_{th} inicialmente incrementa, em seguida, um ponto de máximo é atingido, e na sequência decrementa em função do aumento do nível de dopagem do material P.

Figura 20 – Ação de acionamento na estrutura GIT: (a) diagrama de bandas em função da aplicação da tensão V_{gs} ; (b) curva interligando os pontos avaliados da tensão V_{th} em função da dopagem do material pGaN.



Fonte: adaptado de (EFTHYMIU, 2017).

Com o aumento do valor aplicado da tensão V_{gs} no diagrama de bandas da estrutura em (ii) da Figura 20 (a), nota-se o decremento da altura da barreira de energia na interface **AlGa**N/pGaN, com a redução maior número de elétrons passam a fluir do 2DEG para o contato de *gate* e as lacunas do material P para a região 2DEG (EFTHYMIU, 2017).

Como continuidade da análise comportamental da estrutura GIT, no que diz respeito a tensão V_{gs} , uma análise realizada por (UEMOTO, 2007) apresentou o comportamento da injeção de lacunas na região de 2DEG obtida por simulação

computacional. Desta forma é possível verificar a distribuição de elétrons e lacunas na estrutura para as três principais situações, são elas:

- i) com $V_{gs} = 0 \text{ V}$, uma **depleção** da região de 2DEG sob o *gate*;
- ii) com $V_{th} < V_{gs} < V_F$, uma formação da região de 2DEG sob o *gate*;
- iii) com $V_{gs} > V_F$, uma injeção de lacunas na região 2DEG sob o *gate*.

A primeira situação ocorre para valores de tensão V_{gs} menores que a tensão de **threshold**, nesse caso a estrutura não está em condução. As distribuições de elétrons e lacunas estão avaliadas para o valor da tensão V_{gs} de 0 V. Com isso, as distribuições na região de 2DEG sob o *gate* se encontram com ausência de elétrons e injeção de lacunas.

A segunda situação ocorre para valores de tensão V_{gs} dentro de um intervalo limitante, maiores que a tensão de **threshold** V_{th} e menores que a tensão **forward** V_F . Para esse caso a estrutura se encontra em condução e conduz pela região de 2DEG. As distribuições de elétrons e lacunas estão avaliadas para o valor da tensão V_{gs} de 2 V. Com isso, as distribuições na região de 2DEG sob o *gate* se encontram com a presença de elétrons e ausência de injeção de lacunas.

A terceira situação ocorre para valores de tensão V_{gs} maiores que a tensão V_{th} , nesse caso a estrutura está em condução com injeção de lacunas. As distribuições de elétrons e lacunas estão avaliadas para o valor da tensão V_{gs} de 6 V. Com isso, as distribuições na região de 2DEG sob o *gate* se encontram com a presença de elétrons e com injeção de lacunas.

O valor da tensão **forward** V_F está relacionado com a estrutura do **GaN**, no qual é comum a representação por dois diodos, o primeiro do *gate* para *drain* e o segundo do *gate* para *source*, sendo o efeito com valores nas proximidades de 3 V.

As três situações de operação da estrutura GIT podem ser vistas com observações das correntes I_d e I_g em função de valores aplicados da tensão V_{gs} .

A primeira situação está presente na Figura 21 (a), constata-se a não existência de corrente I_d , desde valores negativos da tensão V_{gs} até a tensão V_{th} de

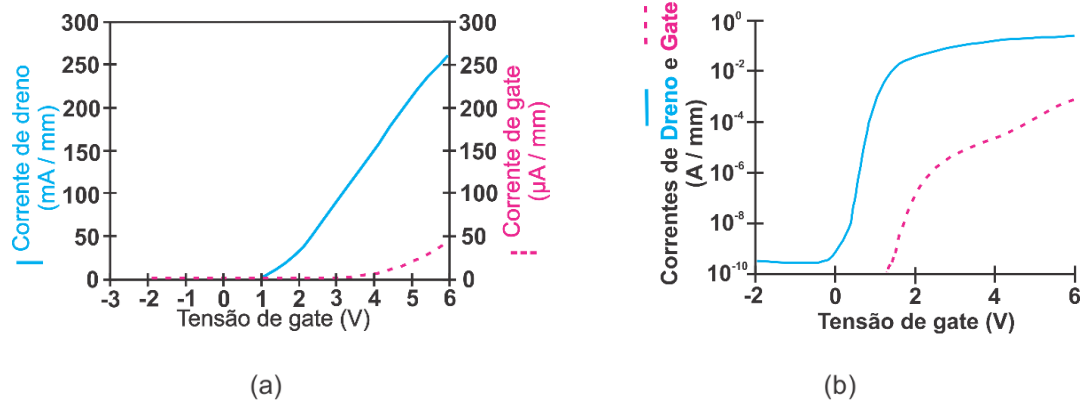
aproximadamente 1 V. E no mesmo intervalo também não há constatação de corrente I_g . O dispositivo se encontra no estado bloqueado.

A segunda situação está presente na Figura 21 (a), constata-se a existência de corrente I_d , a partir da tensão V_{th} próximo de 1 V. A situação ocorre de 1 a 3 V, entre a tensão V_{th} e a V_F . Nesse intervalo também não há constatação da corrente I_g . O dispositivo já se encontra em condução através do canal da região de 2DEG.

A terceira situação está presente na Figura 21 (a), constata-se a existência das correntes I_d e I_g , a partir da tensão V_F próximo de 3 V. Nesse intervalo a corrente I_g representa a injeção de lacunas. O dispositivo se encontra em condução.

As correntes I_d e I_g em função de valores aplicados da tensão V_{gs} podem ser verificados de forma mais abrangente com a utilização de escala logarítmica no eixo das correntes, conforme a Figura 21 (b).

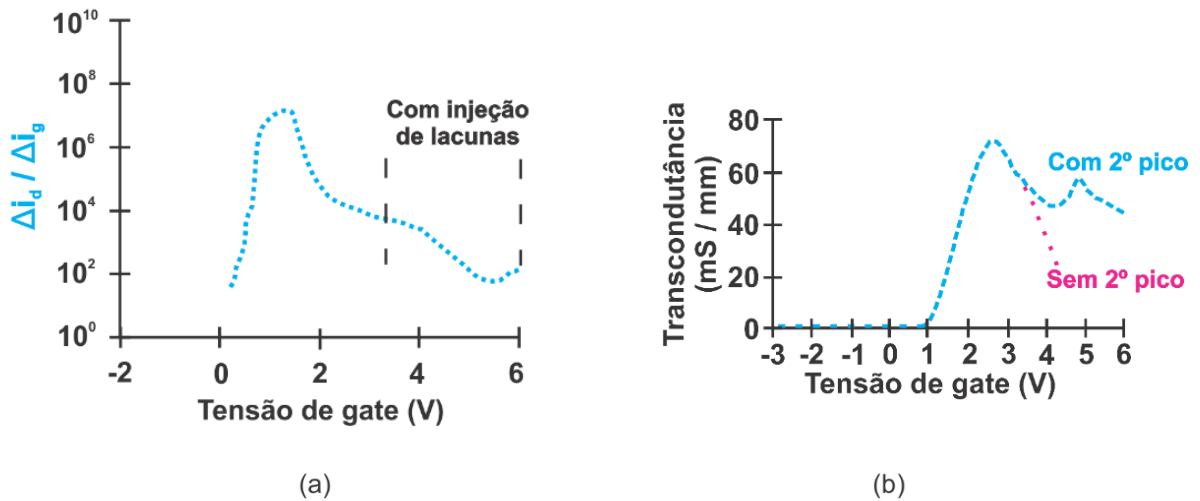
Figura 21 – Gráfico das corrente I_d e I_g em função da tensão V_{gs} da estrutura GIT: (a) com eixo das correntes linear; (b) com eixo das correntes logarítmico.



Fonte: adaptado de (UEMOTO, 2007).

A Curva $\Delta I_d / \Delta I_g$ em função da tensão V_{gs} e as curvas da transcondutância com e sem 2º pico em função da tensão estão apresentadas na Figura 22.

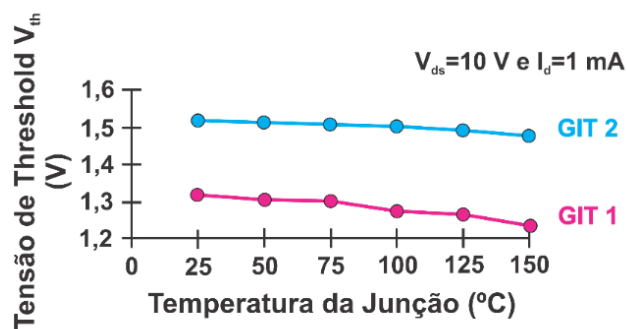
Figura 22 – Trechos de operação: (a) curva $\Delta I_d / \Delta I_g$ em função da tensão V_{gs} ; (b) curvas da transcondutância com e sem 2º pico em função da tensão V_{gs} .



Fonte: adaptado de (UEMOTO, 2007).

Outra característica da estrutura GIT é a influência que a temperatura da junção possui na tensão V_{th} . Em dois dispositivos avaliados por (LI, 2015), constatou-se uma menor tensão V_{th} de acordo com o aumento da temperatura de junção, conforme pode ser verificado na Figura 23.

Figura 23 – Pontos avaliados da tensão V_{th} em função da temperatura.



Fonte: adaptado de (LI, 2015).

Na sequência será apresentado a característica estática da estrutura GIT.

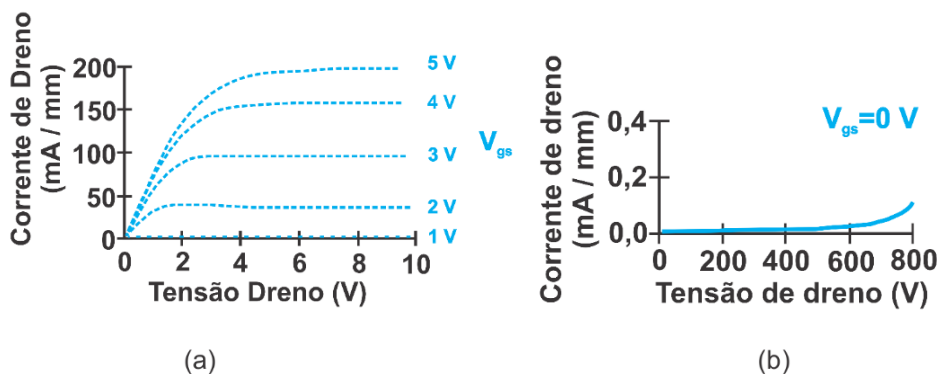
3.3.3 Característica estática

A característica de condução da estrutura GIT pode ser inicialmente avaliada a partir das curvas características da corrente I_d em função da tensão V_{ds} , com aplicação de valores da tensão V_{gs} maiores que a tensão V_{th} . Na Figura 24 (a) estão presentes as curvas da estrutura GIT obtidas por (SAITO, 2006), com elas podem ser constatadas duas importantes regiões do comportamento da estrutura durante o estado de condução. A primeira região pode ser definida pelo comportamento resistivo do canal, no qual graficamente a corrente I_d aumenta em função da tensão V_{ds} . A região é comumente citada como região ôhmica, visto a característica praticamente linear entre as grandezas I_d e V_{ds} . A segunda região pode ser definida pelo comportamento de saturação do canal, no qual graficamente a corrente I_d se mantém praticamente constante em função da tensão V_{ds} . A região é comumente citada como região de saturação, visto a característica praticamente constante de I_d .

A característica de bloqueio da estrutura GIT pode ser verificada a partir da curva de corrente I_d em função da tensão V_{ds} , com aplicação de valores da tensão V_{gs} menores do que a tensão V_{th} . Na Figura 24 (b) está presente a curva da estrutura GIT obtida por (UEMOTO, 2007), sendo aplicada a tensão V_{gs} de 0 V. Na Figura 24 (b) podem ser constatadas duas importantes regiões do comportamento da estrutura durante o estado de bloqueio. A primeira região pode ser definida pelo comportamento do canal que se encontra aberto, sendo assim não está conduzindo. A corrente I_d se mantém abaixo de 200 $\mu\text{A/mm}$, muito abaixo dos valores de operação no estado de condução. Graficamente a corrente I_d se mantém praticamente em zero para o intervalo da tensão V_{ds} de 0 a 435 V. A região é comumente citada como região de bloqueio, visto a característica de bloqueio da corrente. A segunda região pode ser definida pelo comportamento do rompimento do isolamento da estrutura o que dá início a condução de forma indesejada a partir da tensão V_{ds} de 435 V, no qual graficamente a corrente I_d aumenta em função da tensão V_{ds} , com a sequência de uma grande elevação de corrente. A região é

comumente citada como região de rompimento de isolamento, visto a característica do aumento de I_d .

Figura 24 – Curvas da corrente I_d em função da tensão V_{ds} para várias tensões V_{gs} : (a) estado de condução; (b) estado de bloqueio.



Fonte: adaptado de (UEMOTO, 2007).

Na sequência está apresentado o estágio de *gate driver* que é o principal responsável pela ação de comando do dispositivo.

3.3.4 Estágio gate driver

O estágio *gate driver* é o circuito responsável pelo acionamento do **GaN** HEMT do tipo GIT, sendo também referenciado como malha de *gate*. Existem alguns pontos importantes a serem analisados, tanto para a ação de comutação, ou seja, acioná-lo e desacioná-lo, quanto para mantê-lo no estado desejado. E isso tem impacto na operação do dispositivo, cita-se os tempos de transição e os acionamentos / desacionamentos indesejados (LI, 2015).

Primeiramente, o estágio de *gate driver* recebe excitação externa para impor os níveis de tensão de 0 V e V_{cc} . Comumente é empregado um gerador de pulsos de tensão. A aplicação de 0 V serve para o interruptor operar como estado não conduzindo e a aplicação de V_{cc} serve para o interruptor operar como estado conduzindo.

Os componentes típicos do circuito de estágio *gate driver* podem ser agrupados em função das responsabilidades de atuações no circuito. As combinações possibilitam o cumprimento das necessidades de operação do interruptor. As

combinações de componentes relacionadas definidas pelo intervalo de atuação estão descritas na Tabela 3.

Tabela 3 – Valores máximos de tensão V_{ds} e corrente I_d do dispositivo.

Intervalo de atuação	Combinação de componentes
Na transição do início de condução	resistor R_{on} e capacitor C_s
Na transição do término de condução	resistor R_{off} e capacitor C_s
Durante a condução	resistor R_{on_lim}

Fonte: adaptado de (INFINEON, 2018).

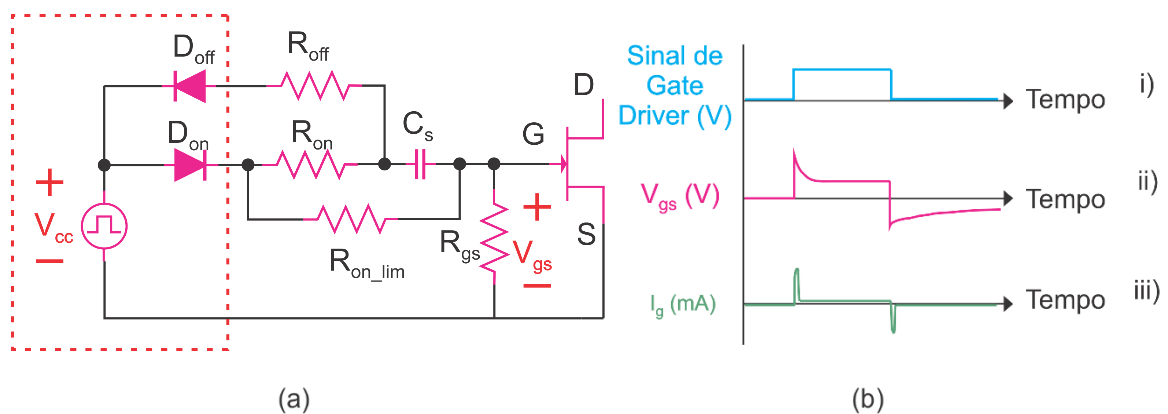
Para o início da condução do dispositivo é necessária a acumulação de determinada carga elétrica de *gate* (LI, 2015) responsável pela carga da capacitância de entrada C_{iss} , comumente representado na forma de circuito como a associação de capacitâncias parasitas, com a conexão de duas capacitâncias, a primeira entre os terminais *gate* e *source* e a segunda entre os terminais *gate* e *drain* (os componentes parasitas não estão presentes na Figura 25 (a)). A acumulação da carga elétrica de entrada C_{iss} se refere ao valor positivo da corrente I_g , a qual ocorre durante a transição do início de condução. A forma de onda da corrente I_g é definida por um pulso positivo inicial devido a alteração da tensão imposta de 0 para Vcc. Em seguida a corrente se extingue de forma exponencial através da combinação dos componentes de atuação na transição do início de condução, conforme pode ser verificado em (iii) na Figura 25 (b). A combinação dos componentes resistor R_{on} e capacitor C_s do estágio de *gate driver* são responsáveis pela atuação na transição do início de condução e estão apresentados na Figura 25 (a).

Para o término da condução do dispositivo, ou seja, o bloqueio do dispositivo, é necessária a remoção de determinada carga elétrica de *gate* (LI, 2015) responsável pela descarga da capacitância de entrada C_{iss} . Refere-se ao valor negativo de corrente de *gate* que ocorre durante a transição do término de condução. A forma de onda da corrente I_g é definida por um pulso negativo inicial devido a alteração da tensão imposta de Vcc para 0 V. Em seguida a corrente se extingue de forma exponencial através da combinação dos componentes de atuação na transição do

término de condução, conforme pode ser verificado em (iii) na Figura 25 (b). A combinação dos componentes resistor R_{off} e capacitor C_s do estágio *gate driver* são responsáveis pela atuação na transição do término de condução e estão apresentados na Figura 25 (a).

Durante a condução do dispositivo situado entre as delimitações das transições de início e término da condução, há uma parcela da corrente I_g denominada de corrente *gate estática*, refere-se ao valor de corrente de *gate* após a transição de início de condução (LI, 2015). O valor de corrente se mantém durante todo o intervalo de tempo no qual o interruptor esteja conduzindo, conforme pode ser verificado em (ii) na Figura 25 (b). O componente R_{on_lim} do estágio *gate driver* é o responsável pela atuação durante a condução e está apresentado na Figura 25 (a).

Figura 25 – Estágio *gate driver*: (a) circuito; (b) formas de onda.



Fonte: adaptado de (LI, 2015).

Com a forma de atuação do circuito de estágio *gate driver* apresentada é possível detalhar as transições *turn-on* e *turn-off*, conforme a seguir.

3.3.5 Transições *turn-on* e *turn-off*

As transições de início da condução *turn-on* e término da condução *turn-off* têm sido amplamente avaliadas nos interruptores de diversas tecnologias e a partir delas são possíveis extrações de características muito utilizadas como elementos comparativos.

O objetivo principal na avaliação das transições do interruptor é conhecer os valores práticos das perdas de potência que ocorrem durante as transições, normalmente denominadas como perdas de transição. Com isso é possível melhorar as avaliações de perdas de potência no interruptor, por consequência no projeto empregando o dispositivo, o que possibilita a otimização.

O interruptor em uma abordagem ideal possui dois estados básicos, são eles: bloqueio e condução. No estado de bloqueio há somente tensão V_{ds} , ou seja, a corrente I_d é zero. No estado de condução há somente corrente I_d , ou seja, a tensão V_{ds} é zero. Primeiramente, pode-se analisar o interruptor no modelo ideal de transição, onde não há coexistência de tensão V_{ds} e corrente I_d . A transição é vista como algo instantâneo, algo que ocorre de forma imediata nas transições de bloqueio para condução e de condução para o bloqueio. No modelo real de transição, há coexistência de tensão V_{ds} e corrente I_d . A coexistência ocorre durante um intervalo de tempo normalmente com valor de tempo muito pequeno e as derivadas dos sinais com valores muito grandes. Para as avaliações experimentais são importantes as precisões dos equipamentos de medição de obtenção dos sinais. Na Figura 26 (a) é apresentado os sinais de corrente I_d e tensão V_{ds} .

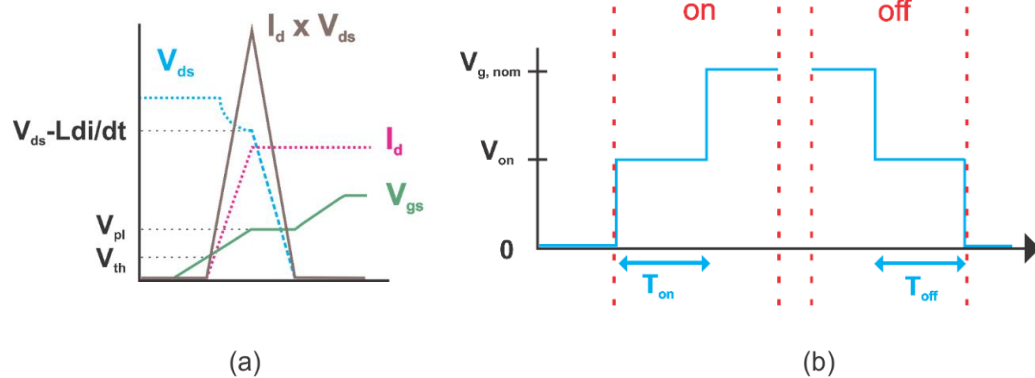
A inclinação dv_{ds}/dt pode ser obtida em função do controle de carga do *gate*, tanto durante a entrada em condução, quanto o bloqueio do componente. O controle é baseado na forma como a tensão do *gate driver* é aplicada ao terminal do *gate*, por exemplo, um nível de tensão, ou ainda, com vários níveis de tensão durante a transição.

As transições com dois níveis de tensão se tornam possíveis com a utilização de dois valores diferentes de tensão de saída do *gate driver* durante a transição, são eles: V_{on} e $V_{g,nom}$. Para a situação de alteração do estado de bloqueio para condução, primeiramente na saída do *gate driver* é aplicada a tensão V_{on} . A tensão V_{on} é mantida durante o tempo denominado de T_{on} . Após transcorrer o tempo T_{on} é alterada a saída do *gate driver* para a tensão nominal $V_{g,nom}$, conforme pode ser visto na Figura 26 (b).

Nas transições com dois níveis de tensão, o aumento do tempo T_{on} causa uma diminuição na taxa de carga do *gate*, desta forma, a transição de tensão V_{ds} é mais

lenta e aumentam as perdas de transição. A tensão V_{on} e o tempo T_{on} impactam na inclinação dv_{ds}/dt durante a transição de início da condução. De forma análoga a tensão V_{off} e o tempo T_{off} impactam na inclinação dv_{ds}/dt durante a transição de bloqueio (PRASOBHU, 2017).

Figura 26 – Transição: (a) curvas durante a entrada em condução do interruptor: tensão V_{ds} , corrente I_d e tensão V_{gs} ; (b) forma idealizada da tensão do *gate driver* de dois níveis.



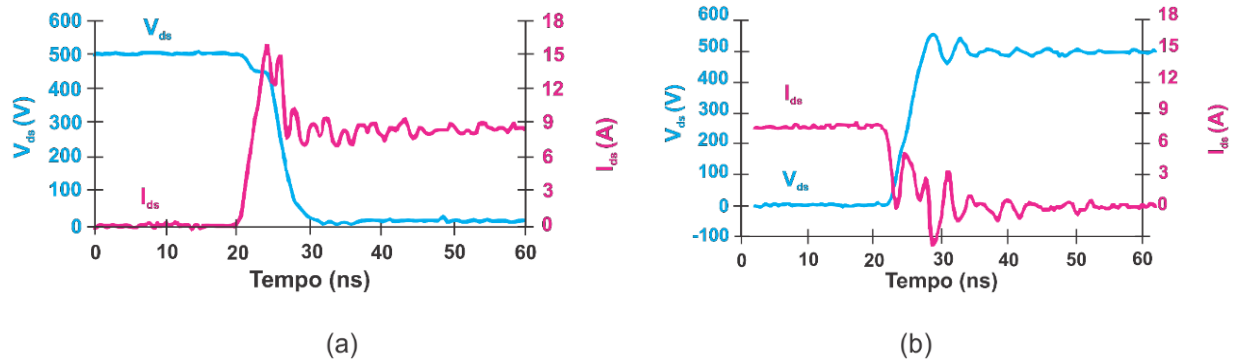
Fonte: adaptado de (PRASOBHU, 2017).

As transições nos dispositivos de **GaN** HEMT têm sido investigadas e os valores nas transições têm sido verificados como extremamente pequenos, ao se comparar com outras tecnologias. Cita-se experimentos com valores das transições de aproximadamente 7 ns para o início da condução e 5 ns para o bloqueio (LI, 2015). Isso para as condições de avaliação com utilização de corrente I_d de 8 A e tensão V_{ds} de 500 V.

A transição de início da condução, no qual a tensão V_{ds} inicia em 500 V e diminui para 0 V, e a corrente iniciando de 0 A e aumentando para 8 A está apresentada na Figura 27 (a).

A transição de bloqueio, no qual a tensão V_{ds} inicia em 0 V e aumenta para 500 V, e a corrente inicia de 8 A e diminui para 0 A pode ser vista na Figura 27 (b).

Figura 27 – Formas de onda: (a) *turn-on*; (b) *turn-off*.



Fonte: adaptado de (LI, 2015).

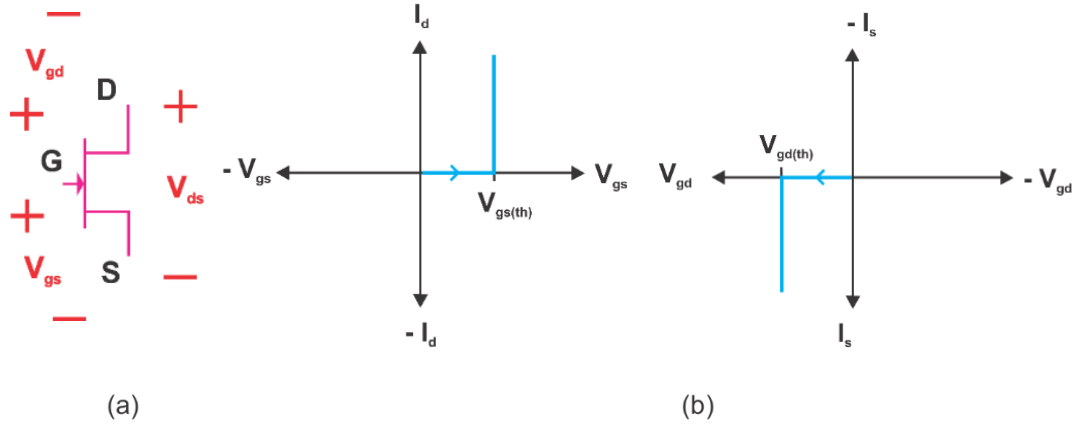
Em muitas situações a condução direta não é a única forma desejável de atuação de um dispositivo, sendo a condução reversa aproveitável às aplicações. A condução reversa do **GaN** HEMT está apresentada na sequência.

3.3.6 Condução reversa

A forma de condução de corrente através da estrutura no sentido de *Source* para *Drain* é denominada de condução reversa. A condução reversa ocorre na região 2DEG através do mesmo canal de condução direta (diferentemente do *Metal-Oxide-Semiconductor Field Effect Transistor* (MOSFET) que possui a condução no sentido reverso pelo diodo intrínseco). As tensões entre os três terminais e a corrente I_s do dispositivo estão apresentadas na Figura 28 (a).

O início da condução da forma reversa é similar ao da forma direta. Na condução direta deve ser atingido o valor da tensão de **threshold** $V_{gs(th)}$, conforme apresentado em (i) na Figura 28 (b). Na condução reversa deve ser atingido o valor da tensão de **threshold** $V_{gd(th)}$, conforme apresentado em (ii) na Figura 28 (b). Ao atingir uma das tensões de **threshold**, seja ela $V_{gs(th)}$ em V_{gs} ou $V_{gd(th)}$ em V_{gd} , cria-se o canal de condução.

Figura 28 – Acionamento do dispositivo: (a) tensões nos terminais do dispositivo: V_{gs} ; V_{gd} ; V_{ds} ; (b) início da condução: (i) na forma direta quando V_{gs} atinge $V_{gs(th)}$; (ii) na forma reversa quando V_{gd} atinge $V_{gd(th)}$.



Fonte: Produção do autor.

A tensão *source-drain* V_{sd} pode ser obtida a partir da relação das tensões da Figura 28 (a), conforme equação (7).

$$V_{sd} = V_{gd} - V_{gs} \quad (7)$$

O início da condução reversa ocorre quando V_{gd} atinge a tensão $V_{gd(th)}$, conforme equação (8).

$$V_{sd(cond)} = V_{gd(th)} - V_{gs} \quad (8)$$

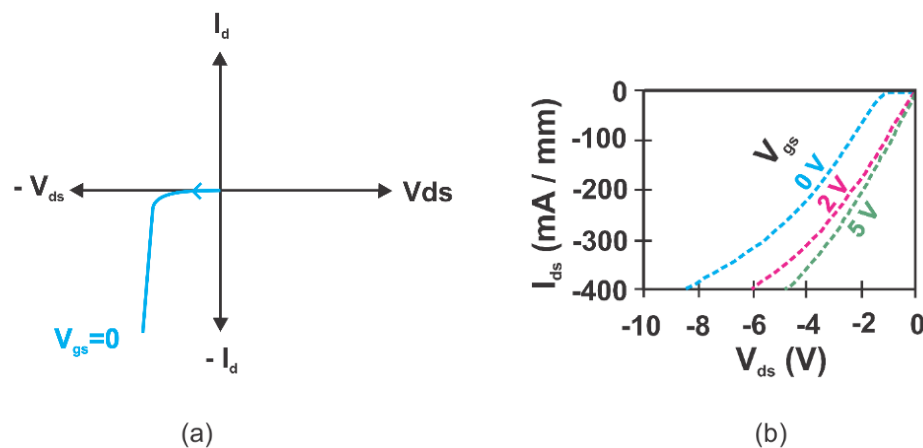
Para a situação específica da tensão V_{gs} igual a zero na equação (7), a tensão V_{sd} se torna igual a tensão V_{gd} . Com isso, no início da condução, a tensão $V_{sd(Vgs=0)}$ é igual a $V_{gd(th)}$, conforme equação (9).

$$V_{sd(Vgs=0)} = V_{gd(th)} - V_{gs(=0)} = V_{gd(th)} \quad (9)$$

Em resumo, a condução reversa com a aplicação de tensão V_{gs} de 0 V inicia com $V_{sd(Vgs=0)}$ igual a $V_{gd(th)}$. A tensão de condução reversa do dispositivo será maior. A curva de início da condução com V_{gs} de 0 V em função da tensão V_{sd} está apresentada na Figura 29 (a).

A alteração da tensão V_{gs} impacta na tensão V_{sd} , conforme equação (8). O aumento da tensão V_{gs} acarreta na redução da tensão V_{sd} e pode ser verificado nas curvas com diferentes tensões V_{gs} apresentadas na Figura 29 (b).

Figura 29 – Condução reversa V_{sd} com aplicação de: (a) 0 V de tensão V_{gs} ; (b) vários níveis de tensão V_{gs} .



Fonte: Produção do autor e adaptado de (MORITA, 2007).

Uma aplicação com aproveitamento da característica de condução reversa pode ser verificada em (MORITA, 2007). Trata-se da fabricação de um dispositivo inversor trifásico com seis interruptores de **GaN** e dispensando a aplicação adicional de diodos com a função de roda livre.

Como a tensão V_{sd} durante a condução reversa no **GaN** HEMT possui valores elevados ao comparar com outras tecnologias. Uma proposta avaliada foi a operação de condução reversa do **GaN** HEMT utilizando um diodo de Si, conforme apresentado a seguir.

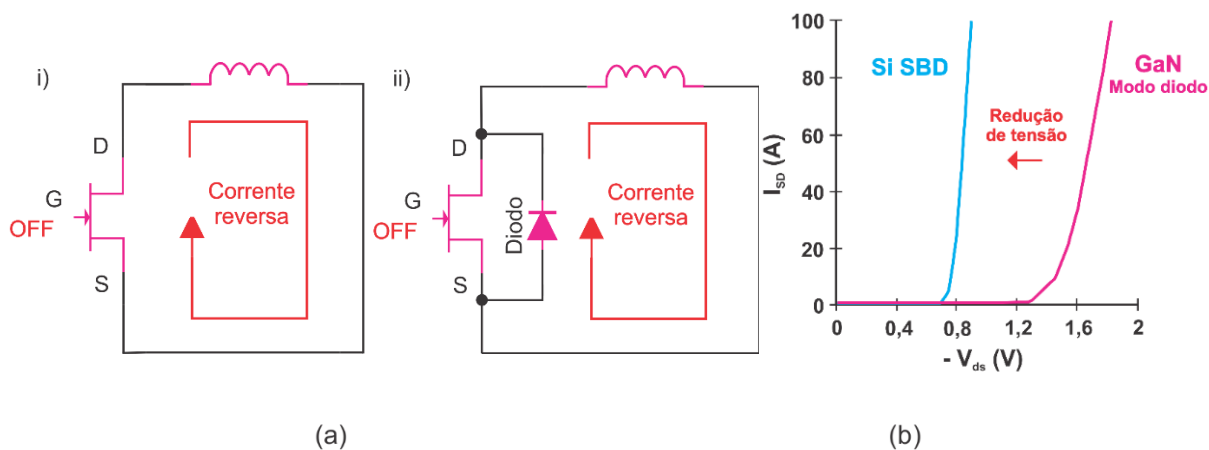
3.3.7 Condução reversa do GaN HEMT com diodo de Si

A estrutura do **GaN** HEMT com um diodo adicional em paralelo foi proposta em (MORITA, 2012) visando reduzir a tensão de condução reversa V_{sd} , cujo valor é elevado no dispositivo **GaN** HEMT. A proposta é dada como uma alternativa para operar com valor reduzido de tensão de condução reversa V_{sd} , sendo composta de

um **GaN** HEMT e um diodo de barreira Schottky de silício integrado em paralelo. O dispositivo foi inicialmente empregado no estudo de aplicações de conversores CC-CC com pequenos valores de tensão (MORITA, 2012). A condução reversa sem diodo (i) e com diodo (ii) podem ser vistas na Figura 30 (a).

A estrutura de um **GaN** HEMT com um diodo em paralelo é composta por um diodo que apresenta valor de tensão de condução menor do que o valor de tensão de condução reversa do **GaN** HEMT. Isso ocorre para toda a faixa de operação de corrente. Para exemplificar, o valor da tensão de condução reversa do **GaN** HEMT empregado em (MORITA, 2012) é de 1,65 V, sendo maior que 1 V para toda faixa de corrente de operação. E o diodo empregado em (MORITA, 2012) possui o valor de tensão condução 0,85 V para a mesma corrente, sendo menor que 1 V para toda faixa de corrente de operação. As curvas da condução reversa do **GaN** HEMT e condução direta do diodo de barreira Schottky de silício estão apresentadas na Figura 30 (b).

Figura 30 – Comparativo de condução reversa : (a) circuito: (i) sem diodo, maior tensão reversa; (ii) com diodo, menor tensão reversa; (b) curvas de condução reversa do GaN HEMT e condução direta do diodo de barreira Schottky de silício.



Fonte: adaptado de (MORITA, 2012).

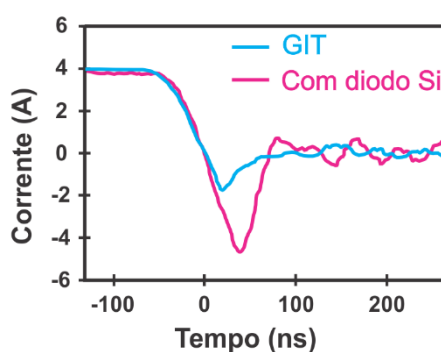
Com a redução do valor de tensão de condução reversa são reduzidas as perdas de potência durante a condução reversa. No entanto, com a utilização do diodo, pode-se subutilizar algumas características do **GaN** HEMT que podem ser relevantes em outras aplicações, citam-se o incremento nos tempos de transição e o efeito de recuperação reversa.

3.3.8 Recuperação reversa

A ocorrência da recuperação reversa se apresenta como um afundamento da corrente no diodo durante a alteração do estado de condução para o estado de bloqueio. Inicialmente o dispositivo está em condução com valor positivo de corrente, em seguida é iniciada a transição de bloqueio, no qual o valor da corrente começa a decrescer para o término da condução. A corrente diminui até zero e ultrapassa para valores negativos que se mantém durante determinado intervalo de tempo. Na sequência o valor de corrente volta a crescer, até assumir o valor de 0 A.

A característica de recuperação existente no interruptor de **GaN** HEMT ao operar no modo diodo ocorre com uma recuperação muito mais rápida do que a existente nos diodos convencionais de silício (MORITA, 2007). Na Figura 31 é apresentado as características de recuperação do modo diodo no interruptor **GaN** HEMT e de um diodo de recuperação rápida de silício.

Figura 31 – Corrente de recuperação reversa do GaN HEMT e do diodo de recuperação rápida de Si.



Fonte: adaptado de (MORITA, 2007).

Visto que o dispositivo **GaN** HEMT possui as formas de conduções direta e reversa, alguns estudos foram elaborados nesse sentido, como a estrutura bidirecional apresentada a seguir.

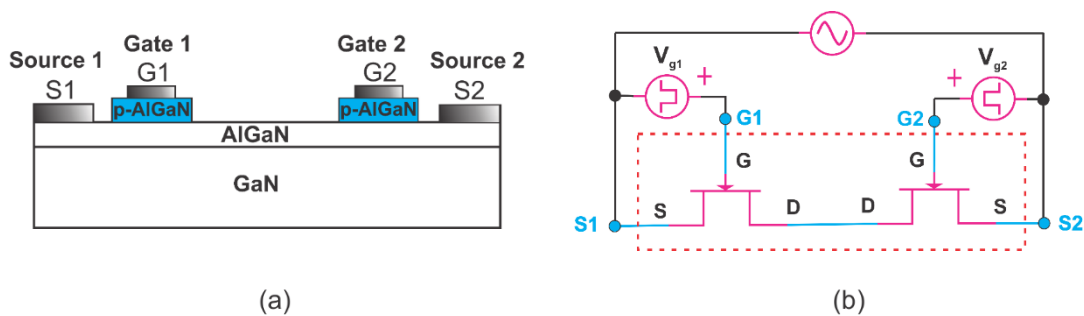
3.3.9 Estrutura bidirecional

O dispositivo **GaN** HEMT ao ser construído de forma simétrica exibe características bidirecionais. A interligação formada pelo 2DEG entre os terminais de *Drain* e *Source* permite a operação como bidirecional em corrente. Isso porque o

canal de condução pode operar conduzindo igualmente em ambos os sentidos, de *Drain* para *source*, ou ainda, de *Source* para *Drain*. Um modelo de circuito para o interruptor de **GaN** bidirecional foi apresentado em (IDE, 2012). O aprimoramento da característica de bidirecionalidade em corrente com foco em dispositivos com a assimetria da posição de *gate* foi apresentado em (MORITA, 2007) na forma de dispositivo com dois *gates*. A estrutura do dispositivo pode ser vista na Figura 32 (a).

A estrutura bidirecional é análoga a união de duas estruturas do tipo GIT com terminais de *Drain* conectados, sendo o caminho da corrente principal entrando em S1 e saindo em S2, ou vice-versa, conforme analogia apresentada na Figura 32 (b). Os terminais de *Drain* não estão presentes na estrutura apresentada Figura 32 (a). O início da condução e o bloqueio do dispositivo podem ser realizados com a aplicação de valores idênticos das tensões de *gate* V_{g1} e V_{g2} para ambos os terminais de *gate* G1 e G2.

Figura 32 – Dispositivo bidirecional: (a) estrutura; (b) analogia da estrutura interna com aplicação das tensões de *gate*.



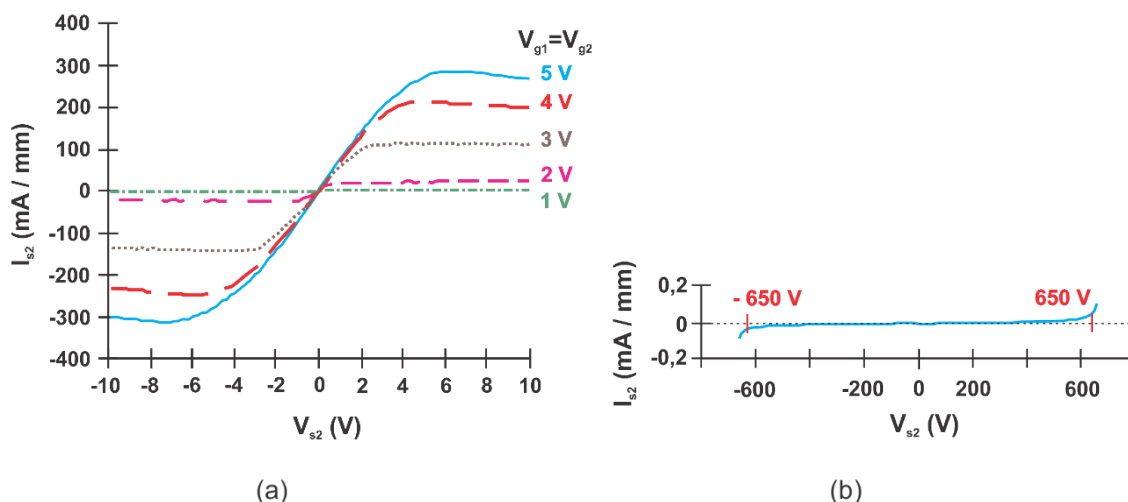
Fonte: adaptado de (MORITA, 2007).

O dispositivo bidirecional foi verificado por (MORITA, 2007), no qual o estado de condução se deu com a aplicação de valores idênticos nas tensões V_{g1} e V_{g2} . A característica estática da estrutura bidirecional é similar para a operação em ambos os sentidos de condução, conforme pode ser visto na Figura 33 (a). A característica de estrutura bidirecional se manteve mesmo para diferentes valores de tensões V_{g1} e V_{g2} .

O dispositivo bidirecional no estado de bloqueio permite o bloqueio da tensão em ambos os sentidos. A faixa de bloqueio foi verificada de -650 a 650 V por (MORITA,

2007), conforme apresentado na Figura 33 (b). A característica de estrutura bidirecional se manteve para toda faixa de tensão de bloqueio.

Figura 33 – Característica estática da estrutura bidirecional: (a) em condução com tensões V_{g1} e V_{g2} idênticas aplicadas aos pontos de *gate* G1 e G2; (b) bloqueio de tensão.



Fonte: adaptado de (MORITA, 2007).

Outro aspecto relevante é a resistência em condução do dispositivo que está apresentada a seguir.

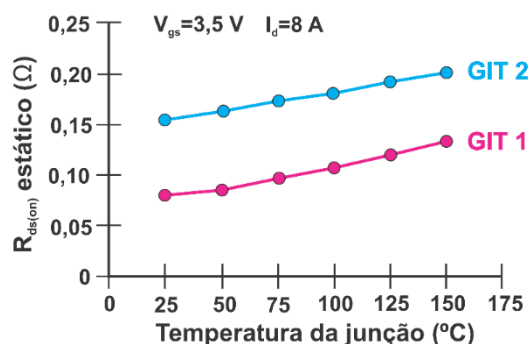
3.3.10 Resistência em condução $R_{ds(on)}$

A resistência $R_{ds(on)}$ é uma das principais grandezas avaliadas e comumente é utilizada para a realização de comparativos entre dispositivos. O valor representa a resistência entre os terminais *Drain* e *Source* do dispositivo durante a condução. A importância se deve porque a resistência R_{on} está diretamente relacionada com as perdas de potência durante a condução do dispositivo, o aumento de $R_{ds(on)}$ implica no aumento das perdas de potência durante a condução.

O valor de $R_{ds(on)}$ é variável conforme a temperatura da junção, com o aumento do valor da temperatura de junção há um aumento na resistência R_{on} (LI, 2015). A característica normalmente é denominada de coeficiente de temperatura positivo, sendo avaliada por exemplo nas situações com necessidade de operação com interruptores conectados em paralelo. Na Figura 34 é possível verificar graficamente

alguns pontos avaliados por (LI, 2015) de dois dispositivos de estrutura GIT. GIT 1 e GIT 2 são dois diferentes modelos designados para operações de até 600 V, sendo o GIT 1 para 10 A com encapsulamento do tipo To-220 (modelo 2013) e o GIT 2 para 15 A com DFN 8x8 (modelo 2015).

Figura 34 – Resistência $R_{ds(on)}$ em função da temperatura de junção para dois dispositivos GaN HEMT.



Fonte: adaptado de (LI, 2015).

Conforme já apresentado, o **GaN** HEMT possui um valor de resistência $R_{ds(on)}$ estático, e adicionalmente, tem-se nas estruturas efeitos de ocorrência de valor dinâmico, diferenciando-se das demais tecnologias existentes, conforme está apresentado a seguir.

3.3.11 Colapso de corrente

O colapso de corrente é um efeito diferenciado que foi descoberto na tecnologia **GaN**, no qual a corrente I_d é reduzida durante a condução do dispositivo. A redução de corrente pode ser compreendida como a ocorrência de um efeito dinâmico na resistência de condução $R_{ds(on)}$. O efeito é causado pela aplicação de valores de tensão V_{ds} que antecedem a condução (UEMOTO, 2007). A redução na região de 2DEG e por consequência o aumento da resistência em condução $R_{ds(on)}$ foram avaliados por (HUANG, 2014).

A dopagem com carbono utilizada nos dispositivos de **GaN** compromete a operação do dispositivo, visto que acarreta em armadilhas na estrutura, as quais são

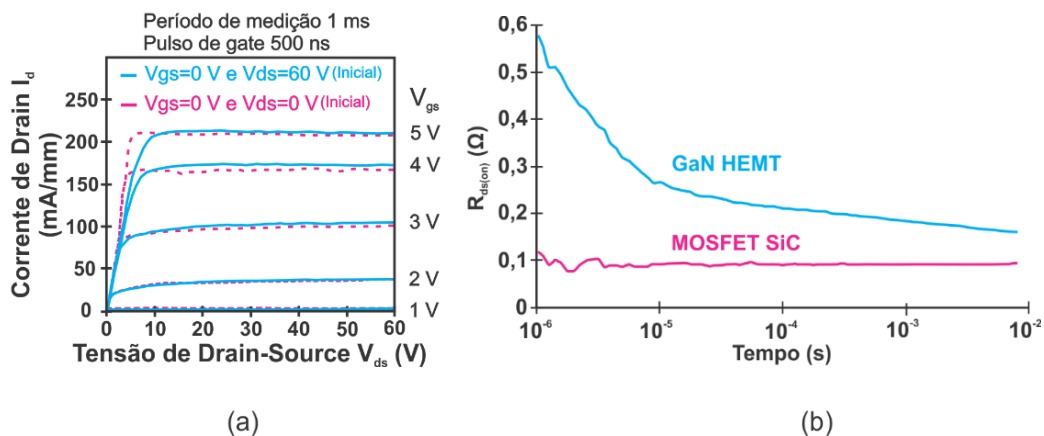
responsáveis pelo efeito de colapso de corrente durante o início de condução do dispositivo (TANAKA, 2016).

Para a visualização do efeito de colapso de corrente podem ser empregadas as curvas da corrente I_d em função da tensão V_{ds} . Duas situações podem ser utilizadas como comparação, sendo a primeira com tensão V_{ds} de 0 V e a segunda com 60 V. Na primeira sem a ocorrência do efeito e na segunda com a ocorrência do efeito, conforme apresentado na Figura 35 (a).

Na caracterização do dispositivo de **GaN** pode ser verificado a presença de um efeito dinâmico no valor da resistência de condução $R_{ds(on)}$ (LI, 2017). Ao habilitar o dispositivo, o valor inicial de resistência é maior do que o valor estático, e somente após determinado tempo, o valor de resistência atinge o valor estático. A forma de ocorrência é de uma resistência dinâmica e pode ser vista graficamente na Figura 35 (b).

Na curva de resistência do **GaN** HEMT apresentado na Figura 35 (b), em 10^{-6} s após a entrada em condução, apresenta-se o valor de $0,6 \Omega$. O valor diminui ao longo do tempo de condução, isso com certa dinâmica, reduzindo-se abaixo de $0,2 \Omega$ e se aproximando do valor estático de $0,1 \Omega$. O efeito não está presente nas demais tecnologias e pode ser visualizado com a forma constante na curva de resistência do MOSFET SiC.

Figura 35 – Colapso de corrente: (a) curvas experimentais da corrente I_d em função da tensão V_{ds} para as tensões V_{gs} . Curvas com aplicação da tensão V_{ds} de 0 e 60 V antes de habilitar a condução; (b) resistência dinâmica.

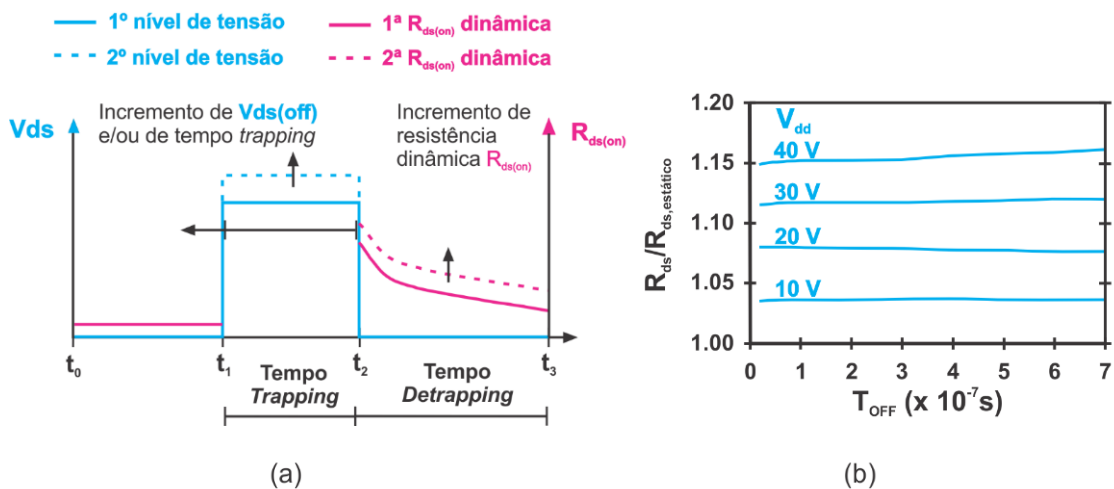


Fonte: adaptado de (UEMOTO, 2007) e adaptado de (LI, 2018).

O efeito da resistência dinâmica é variável em função do valor de tensão de bloqueio $V_{ds(off)}$ e do tempo de bloqueio. Isso significa dizer que operar com uma tensão de bloqueio $V_{ds(off)}$ de 300 V apresenta uma resistência dinâmica diferente do que operar com 600 V. E ainda, o tempo de bloqueio maior ou menor também tem influência na dinâmica.

Duas situações com diferentes comportamentos dinâmicos, sendo a primeira com menor e a segunda com maior valor da tensão $V_{ds(off)}$ estão apresentadas na Figura 36 (a). O maior valor de resistência de condução ocorre na situação com maior valor de $V_{ds(off)}$.

Figura 36 – Colapso de corrente: (a) representação da variação da resistência dinâmica em função da variação de $V_{ds(off)}$ em bloqueio; (b) variação da resistência dinâmica (medido 2 μ s após o início da condução) em função da variação do valor de $V_{ds(off)}$ em bloqueio e do tempo de bloqueio.



Fonte: adaptado de (LI, 2018) e (CAPPELLO, 2018).

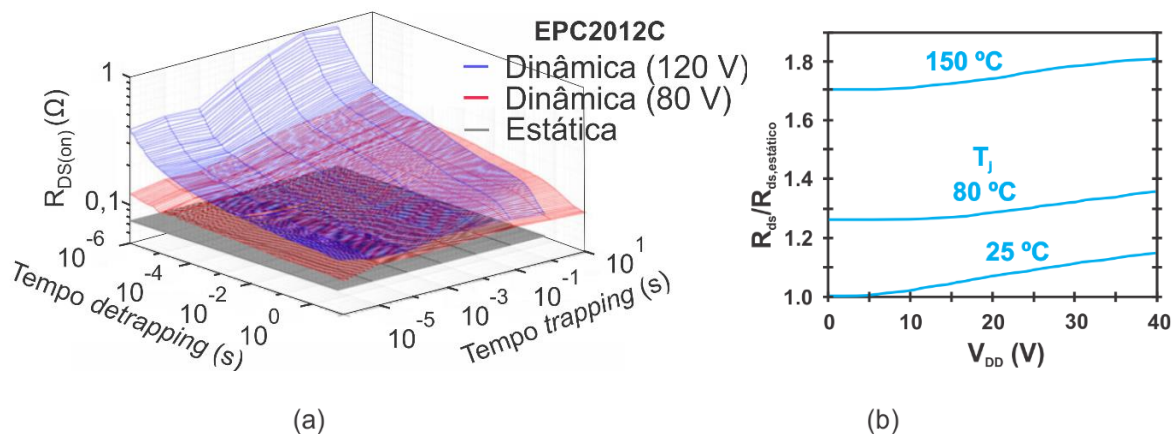
Na avaliação de (CAPPELLO, 2018), pode-se verificar a alteração do valor da resistência de condução (medido 2 μ s após o início da condução) em função de diferentes valores de tensão de bloqueio $V_{ds(off)}$, no caso 10, 20, 30 e 40 V, sendo que quanto maior o valor de tensão, maior impacto no valor de resistência de condução. Adicionalmente, a alteração do valor da resistência de condução (medido 2 μ s após o início da condução) em função de diferentes valores de tempo de bloqueio é exemplificada, no caso de 20 ns a 700 ns, sendo que quanto maior o valor do tempo

de bloqueio, maior impacto no valor de resistência de condução. A Figura 36 (b) apresenta a alteração da resistência de condução (medido 2 μ s após o início da condução) em função de diferentes valores de tensão de bloqueio e diferentes valores de tempo de bloqueio.

O comportamento da resistência dinâmica pode ainda ser verificado para várias situações de tempo de bloqueio e para vários instantes de tempo após o início da condução na Figura 37 (a). A forma apresentada permite uma visão geral do comportamento em função dos parâmetros.

Da mesma forma que ocorre para valores estáticos de resistência de condução $R_{ds(on)}$, a resistência dinâmica também é influenciada pela temperatura. O aumento da temperatura acarreta no aumento da resistência dinâmica (CAPPELLO, 2018). Por exemplo, o valor da a resistência dinâmica é maior com 150 °C do que com 25 °C, conforme apresentado na Figura 37 (b).

Figura 37 – Efeito $R_{ds(on)}$: (a) valores estático e dinâmico; (b) variação da resistência dinâmica (medido 2 μ s após o início da condução) em função da temperatura e da tensão de bloqueio $V_{ds(off)}$.

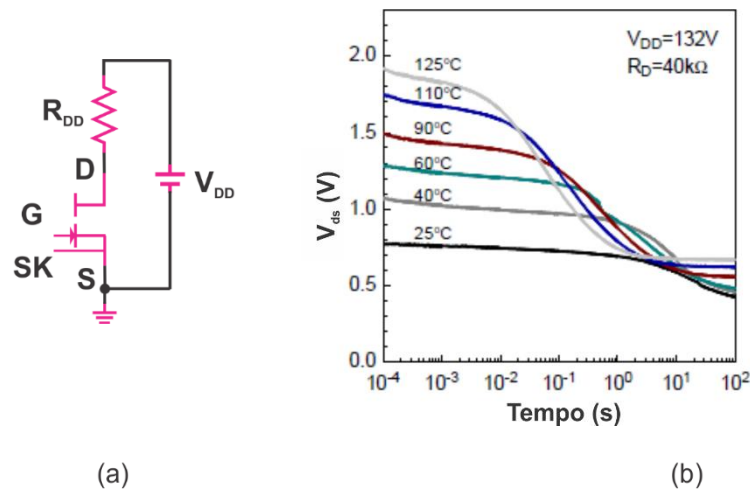


Fonte: adaptado de (LI, 2018) e adaptado de (CAPPELLO, 2018).

No trabalho de (TANAKA, K. UMEDA, H., 2016), empregou-se o circuito da Figura 38 (a) para realizar a análise do efeito de colapso de corrente. Basicamente, o circuito serve para medição da tensão de condução $V_{ds(on)}$. Para análise apresentada, o circuito foi mantido em estado OFF durante 150 s, em seguida foi iniciada a condução. Com o dispositivo em condução, os valores da tensão de condução $V_{ds(on)}$ foram avaliados em função do tempo, desde 10^{-4} a 10^2 s. O procedimento foi repetido

para vários valores de temperatura. Em todas as situações, independentemente da temperatura, a presença de uma característica dinâmica pode ser constatada. O valor da resistência de condução $V_{ds(on)}$ inicial (instante de tempo 10^{-4} s) é maior do que no final (instante de tempo 10^2 s), conforme apresentado na Figura 38 (b).

Figura 38 – Tensão de condução $V_{ds(on)}$: (a) circuito para avaliação; (b) resultado em função do tempo de condução e para várias temperatura.



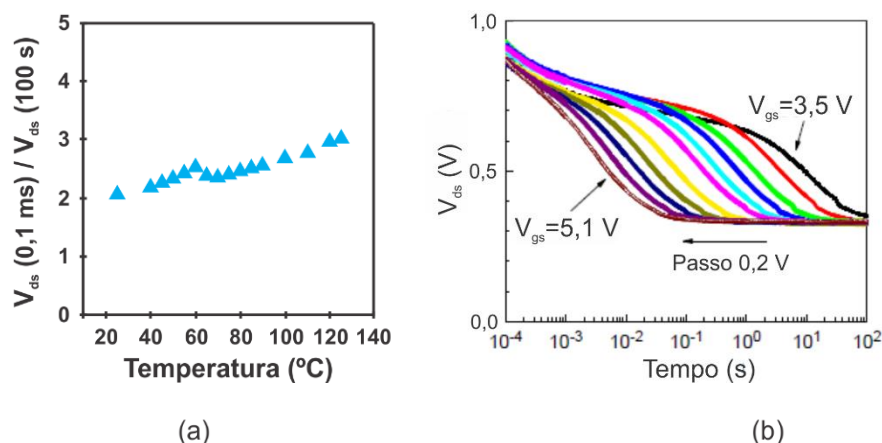
Fonte: adaptado de (TANAKA, K. UMEDA, H., 2016).

A característica de dinâmica está presente independentemente da temperatura, sendo cada vez mais expressiva a medida que o valor de temperatura aumenta (TANAKA, K. UMEDA, H., 2016). Para uma análise comparativa entre diferentes situações é possível verificar a relação entre as tensões de condução V_{ds} inicial (instante de tempo 10^{-4} s) e final (instante de tempo 10^2 s). Por exemplo, a relação é aproximadamente 2 para a temperatura de 25 °C e aproximadamente 3 para 125 °C. A relação aumenta em função do aumento de temperatura, conforme apresentado na Figura 39 (a).

O efeito de colapso de corrente também sofre alterações em função do valor da tensão V_{gs} que é aplicado durante o estado ON. O valor aplicado no *gate* do dispositivo impacta no tempo de recuperação (TANAKA, K. UMEDA, H., 2016). No trabalho em (TANAKA, K. UMEDA, H., 2016), o aumento da tensão V_{gs} de 3,5 V para 5,1 V reduz o tempo de recuperação de 10^2 s para 10^{-1} s, desta forma, ocorre uma recuperação mais rápida do efeito quando a estrutura é submetida a valores maiores

de tensão V_{gs} . As curvas de tensão de condução $V_{ds(on)}$ em função do tempo para várias tensões V_{gs} estão apresentadas na Figura 39 (b).

Figura 39 – Tensão V_{ds} durante a condução: (a) relação de tensão V_{ds} inicial e final (instantes de tempo: 10^{-4} s e 10^2 s) em função da temperatura; (b) Tensão $V_{ds(on)}$ em função do tempo de recuperação para várias tensões V_{gs} .



Fonte: adaptado de (TANAKA, K. UMEDA, H., 2016).

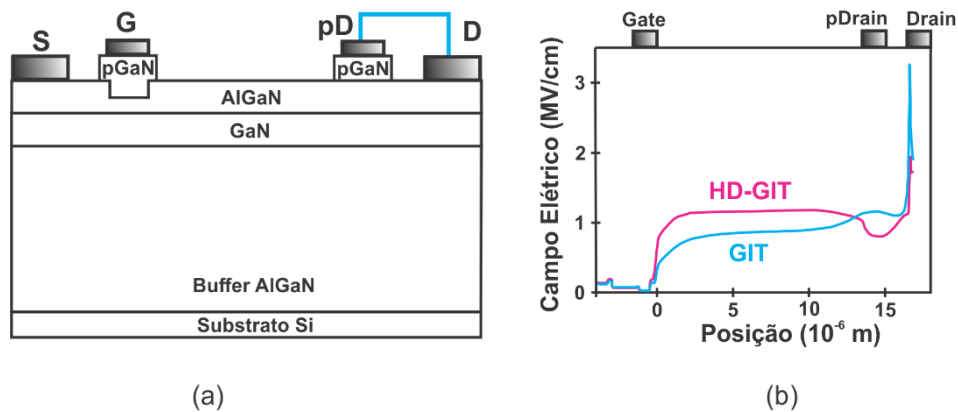
O efeito de colapso de corrente tem sido rigorosamente investigado, cita-se o estudo por (TANAKA, 2016), no qual pode ser visto o efeito sendo suprimido com base em uma compensação durante o estado de bloqueio. A compensação é realizada com auxílio de uma modificação na estrutura GIT, desta forma, obtendo-se uma nova estrutura, denominada de HD-GIT e que será detalhada na sequência.

3.3.12 HD-GIT

A estrutura denominada de *Hybrid-Drain-embedded Gate Injection Transistor* (HD-GIT) visa suprimir o efeito indesejado do colapso de corrente presente nos dispositivos **GaN** HEMT. A estrutura HD-GIT foi inicialmente apresentada em (TANAKA, 2015), sendo obtida a partir da modificação da estrutura GIT. Trata-se da inserção de uma nova região pGaN, a qual é adicionada entre os terminais de *gate* e *drain*, de forma similar ao realizado para o *gate* (como um segundo terminal de *gate*), sendo constantemente conectado ao *drain*, por isso denominado de pDrain (TANAKA, 2015).

A estrutura HD-GIT se baseia no efeito de injeção de lacunas na região de proximidade do *drain* durante o estado OFF, isso para realizar a compensação do efeito de colapso de corrente. O adicional *pDrain* se encontra sobre uma região de **AlGaN** com maior espessura do que a região **AlGaN** sob o *gate*, conforme pode ser visto na Figura 40 (a), por isso não compromete a região 2DEG sob o *pDrain* e consequentemente não compromete a condutividade do canal durante o estado ON (TANAKA, 2015). A região sob o *pDrain* é negativamente carregada devido a emissão de lacunas através do *pDrain*, desta forma, eliminando-se as armadilhas e reduzindo o campo elétrico interno nas proximidades do *Drain* (TANAKA, 2015), conforme apresentado na Figura 40 (b).

Figura 40 – HD-GIT: (a) estrutura; (b) campo elétrico nas estruturas GIT e HD-GIT.

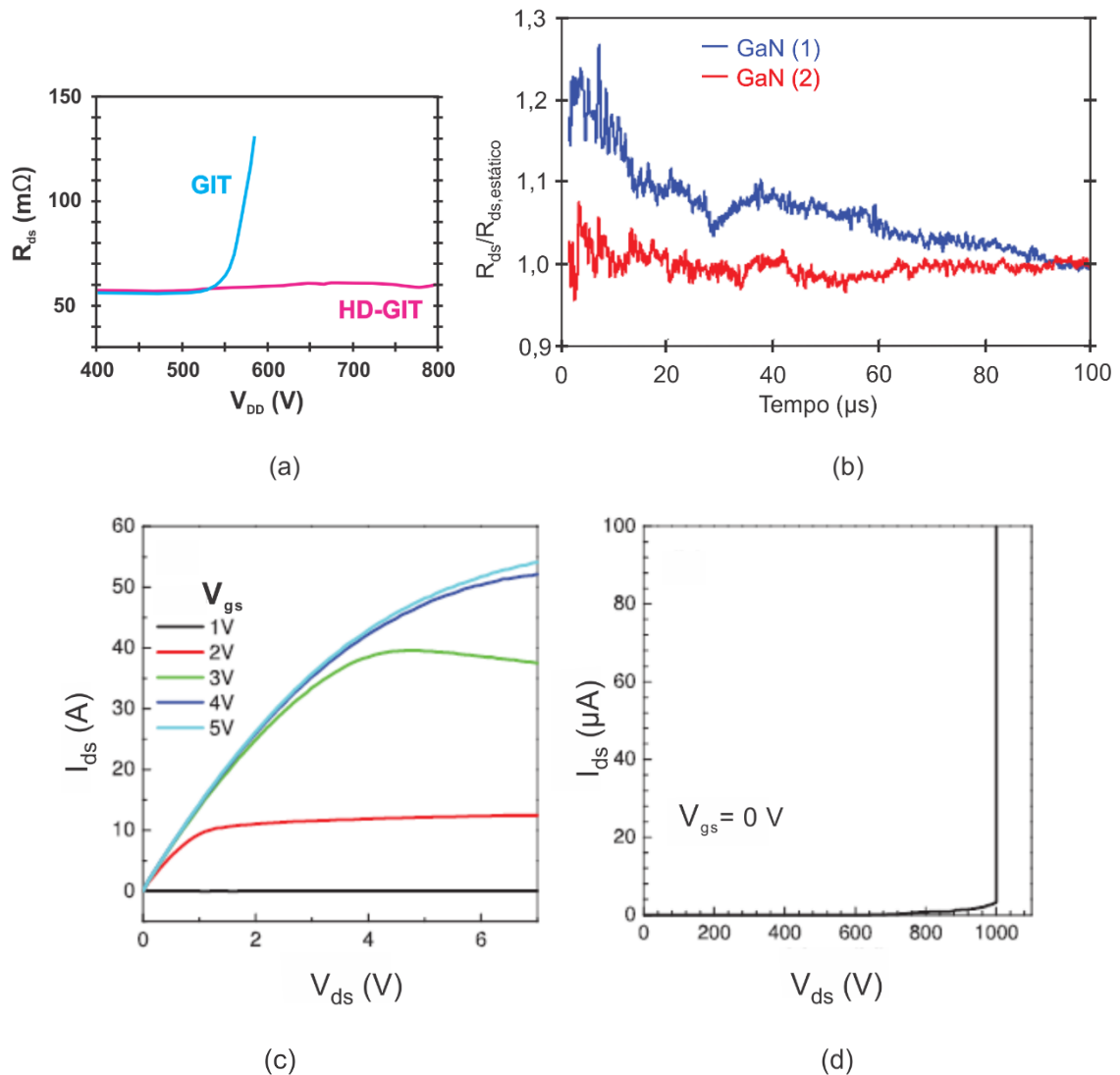


Fonte: adaptado de (TANAKA, 2015).

A avaliação da estrutura HD-GIT foi inicialmente realizada por (TANAKA, 2016) demonstrando praticamente a inexistência do efeito dinâmico na resistência de condução, isso para as condições de testes realizadas. Para a avaliação do efeito de colapso de corrente, em (TANAKA, 2016) foi realizado um comparativo entre as estruturas GIT e HD-GIT, avaliando-se o valor da resistência de condução durante o estado ON. Empregou-se o circuito apresentado na Figura 38 (a), medindo-se os valores da tensão de condução $V_{ds(on)}$ e corrente I_d . Para o teste, aplicaram-se vários valores de tensão V_{ds} durante o estado OFF, obtendo-se as medições 0,7 μ s após o início da condução. As resistências de condução $R_{ds(on)}$ em função da tensão de bloqueio $V_{ds(off)}$ nas estruturas HD-GIT e GIT estão apresentadas na Figura 41 (a).

A característica dinâmica de condução da estrutura HD-GIT em comparação com a GIT está apresentada na Figura 41 (b). Na curva da estrutura GIT (1) se apresenta o efeito dinâmico, o qual pode ser visto pelo decréscimo da relação $R_{ds} / R_{ds,estático}$, inicialmente 1,2 e se aproximando de 1,0 após transcorrido 100 μs . Na curva da estrutura GIT (2), a relação $R_{ds} / R_{ds,estático}$ é aproximadamente 1,0, desde o início até 100 μs , desta forma indicando a ausência do comportamento dinâmico presente na primeira curva. As características estáticas de condução e bloqueio da estrutura HD-GIT estão apresentadas na Figura 41 (c) e Figura 41 (d).

Figura 41 – Curvas: (a) resistência de condução em função da tensão de bloqueio nas estruturas HD-GIT e GIT (medido 0,7 μs após o início da condução); (b) resistência de condução (medido 1 μs após o início da condução) em função do tempo para GIT (1) e HD-GIT (2); (c) característica estática da condução; (d) e bloqueio HD-GIT.



Fonte: adaptado de (TANAKA, 2016), (LI, 2015), (TANAKA, 2015) e (TANAKA, 2015).

Outro ponto de destaque é o ciclo térmico de um dispositivo, o qual se refere ao comportamento da temperatura do dispositivo durante a operação, conforme apresentado a seguir.

3.3.13 Ciclo térmico

O ciclo térmico de um dispositivo representa o comportamento da temperatura do dispositivo durante determinado período de tempo. As alterações de temperatura podem ser prejudiciais ao dispositivo e isso também é válido para dispositivos de **GaN**. Isso ocorre devido a existência de diferentes coeficientes de expansão térmica e as diferentes tensões termomecânicas dos materiais empregados no dispositivo, tornando-o susceptível às falhas. A consequência é normalmente a alteração indesejável das funções do dispositivo no circuito em que o mesmo se encontra, desta forma piorando as suas características elétricas e acarretando em redução no seu desempenho. Isso em função dos surgimentos de falhas em pontos de conexão entre materiais diferentes.

As falhas termomecânicas são agravadas por ciclos térmicos e a ocorrência é comumente denominada de fadiga termomecânica. O ciclo térmico consiste mais precisamente das alterações na temperatura do dispositivo em função das alterações das perdas do próprio dispositivo. Como as perdas normalmente variam conforme a potência processada, tem-se um ciclo térmico dependente da potência processada ao circuito. Dado a existência de circuitos com inúmeras formas de potência processada, em alguns casos, faz-se necessário observar o ciclo térmico com intuito de preservar as características do dispositivo. Com intuito de diminuir os efeitos de fadiga termomecânica nas situações de potências processadas variáveis, algumas técnicas como um controle ativo de temperatura podem ser empregadas (PRASOBHU, 2017).

Com a revisão das estruturas do **GaN** HEMT, torna-se possível dar continuidade na apresentação do presente trabalho, sendo abordada na sequência a técnica utilizada para as investigações das características de comutação dos interruptores.

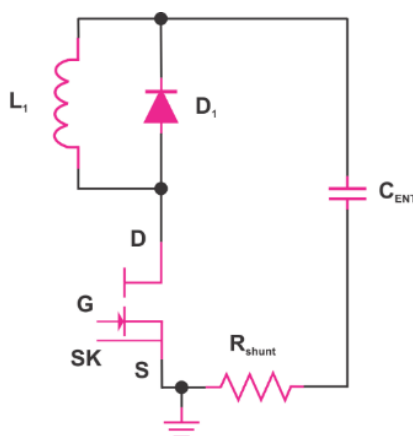
4 DOUBLE PULSE TEST

A técnica denominada de *double pulse test* ou teste de pulso duplo (DPT) é comumente utilizada para investigações das características de comutação dos interruptores. Na sequência estão apresentados o circuito DPT e o circuito auxiliar empregado para a medição da tensão de condução do interruptor.

4.1 CIRCUITO DPT

O circuito DPT quando destinado a testes de um dispositivo, por exemplo o MOSFET, o qual é atualmente muito utilizado, serve para a obtenção dos valores de corrente I_d e tensão V_{ds} durante as transições *turn-on* e *turn-off*. Com isso é possível dar continuidade com análises, como realizar cálculo das perdas de energia durante as transições *turn-on* e *turn-off*, algo relevante para muitas aplicações e que pode ser realizado a partir das medições do circuito DPT que está apresentado na Figura 42.

Figura 42 – Circuito DPT.



Fonte: adaptado de (HUANG, 2015).

Aplicações de DPT com algumas poucas modificações de circuito podem ser encontradas, devido a necessidade da avaliação de características adicionais do componente. Pode-se verificar por exemplo o estudo apresentado em (AHMAD, 2017) para a caracterização do componente MOSFET de SiC e o estudo apresentado em (YAO, 2017) para caracterização do componente **cascode** de **GaN**.

No estudo em (LI, 2018) particularmente para a avaliação das características de componentes de **GaN**, buscou-se avaliar o comportamento da resistência dinâmica para diferentes tecnologias, sob inúmeras condições diferentes, como: **hard switching** e *soft switching*; valores de tensão V_{ds} no componente durante o estado bloqueado; valores de corrente I_d ; temperatura, frequência; entre outras.

4.2 OPERAÇÃO HARD SWITCHING

O transistor de **GaN** na condição de operação **hard switching** abrange grande parte das aplicações, até mesmo viabiliza aplicações antes vistas como inviáveis, devido as particularidades das aplicações e tecnologias empregadas. Na operação é possível verificar o comportamento das transições *turn-on* e *turn-off* sob condições denominadas de *hard*, na qual as trocas de estado do interruptor são realizadas com coexistência de valores de tensão e corrente durante as transições. Com isso, análises como a avaliação de energias durante as transições se tornam possíveis.

A descrição da operação nos intervalos de tempo na condição **hard switching**, com base na Figura 43 (a) está apresentada na sequência.

De 0 a t_0 : representa o intervalo de tempo antes do início do teste, com o interruptor bloqueado e o valor de corrente no indutor igual a zero. O circuito em condução deste intervalo está apresentado na Figura 43 (a).

De t_0 a t_1 : o instante t_0 define o início do teste, a partir deste instante o interruptor S1 é habilitado a conduzir, com isso o valor de tensão V_{in} é aplicado sobre o indutor e o valor da corrente no indutor (e no interruptor) aumenta linearmente em função do tempo. No instante t_1 , a corrente no indutor atinge o valor da corrente de teste. De acordo com ajuste do intervalo de tempo, ajusta-se o valor da corrente de teste. O circuito em condução deste intervalo está apresentado na Figura 43 (b).

Transição em t_1 : o instante representa a transição *turn-off*.

De t_1 a t_2 : o interruptor S1 é desabilitado no instante de tempo t_1 , desta forma, o diodo D1 inicia a condução, portanto o valor da tensão no interruptor S1 se mantém V_{in} . O valor de corrente no indutor se mantém praticamente constante durante todo o intervalo (visto o pequeno intervalo de tempo), sendo que o intervalo normalmente é

mantido constante para todos os testes. O circuito em condução deste intervalo está apresentado na Figura 43 (c).

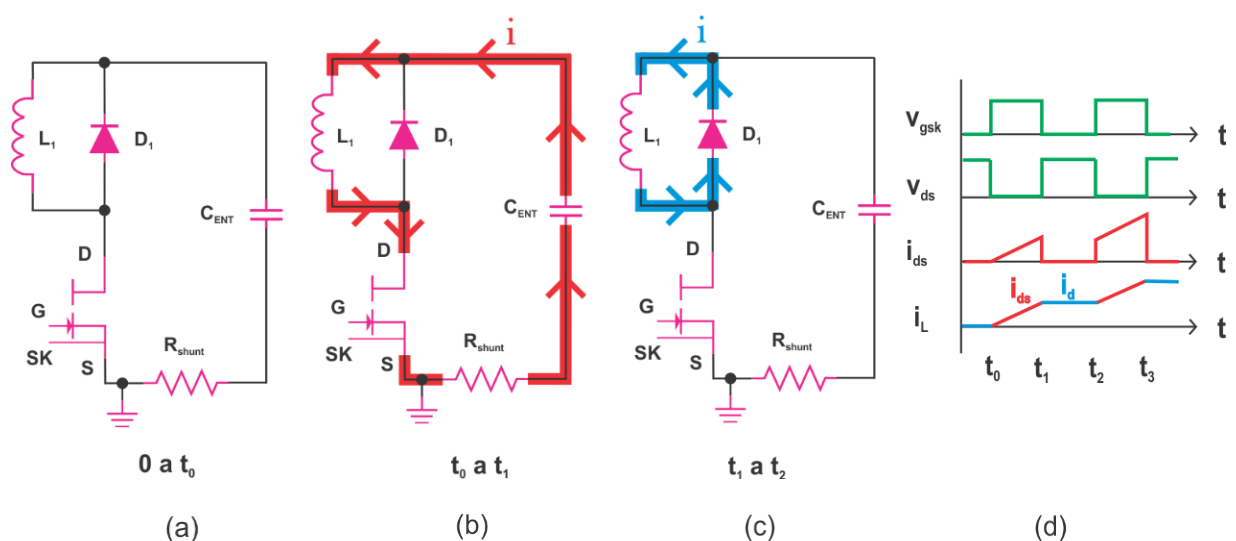
Transição em t_2 : o instante representa a transição *turn-on*.

De t_2 a t_3 : o instante t_2 define o reinício da condução do interruptor S1, portanto o intervalo é similar ao intervalo t_0 a t_1 , a diferença é que a corrente no indutor não está em zero no instante t_2 , mas sim com o valor da corrente de teste. O valor da corrente no indutor aumenta linearmente em função do tempo, sendo que o intervalo normalmente é mantido constante para todos os testes. O circuito em condução deste intervalo está apresentado na Figura 43 (b).

Após t_3 : o instante t_3 define o fim do teste, o interruptor S1 é desabilitado, desta forma, o diodo D1 reinicia a condução, sendo o intervalo similar ao intervalo t_1 a t_2 . O valor da tensão no interruptor S1 se mantém V_{in} . O valor da corrente no indutor se mantém praticamente constante (ao analisar como pequeno intervalo de tempo). Um longo tempo após t_3 é mantido, com isso, o valor da corrente no indutor diminui lentamente, devido as não idealidades existentes nos componentes. O circuito em condução deste intervalo está apresentado na Figura 43 (c).

As principais formas de onda que representam a operação na condição **hard switching** estão apresentados na Figura 43 (d).

Figura 43 – Circuito DPT: (a) intervalo de 0 a t_0 ; (b) intervalo t_0 a t_1 ; (c) intervalo t_1 a t_2 ; (d) formas de onda da operação *hard switching*.



Fonte: adaptado de (LI, 2018).

As análises de transições no interruptor são realizadas no término da condução representado pelo instante de tempo t_1 e no início da condução representado pelo instante de tempo t_2 .

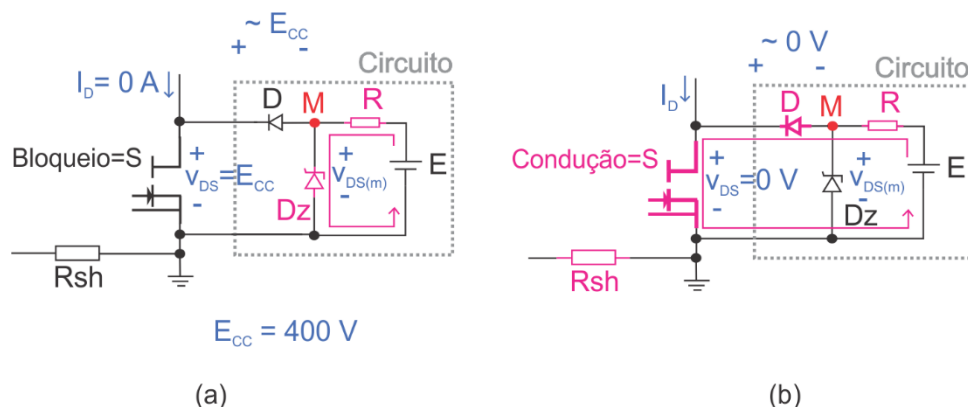
Uma importante avaliação em interruptores é a verificação da tensão durante a condução. A partir dos valores de tensão de condução medida e do valor imposto de corrente de *Drain* podem ser determinadas as contribuições das perdas de condução no interruptor. Para isso, faz-se necessário a implementação de um circuito auxiliar para obtenção da tensão de condução no interruptor que será abordado na sequência.

4.3 CIRCUITO AUXILIAR (CLAMPING)

O circuito auxiliar possibilita a medição do valor da tensão *drain-source* do dispositivo em teste durante a condução com ponteiros de baixa tensão. A partir de um resistor *shunt*, pode-se obter de forma indireta o valor da corrente de *drain* do dispositivo em teste. Com as duas grandezas, tensão *drain-source* e corrente de *Drain*, pode-se determinar a perda de condução do dispositivo.

Na Figura 44 está apresentado o circuito auxiliar para medição da tensão de condução e o posicionamento do resistor shunt.

Figura 44 – Circuito auxiliar para medição da tensão *drain-source* do dispositivo em teste durante a condução com ponteiros de baixa tensão no ponto M.

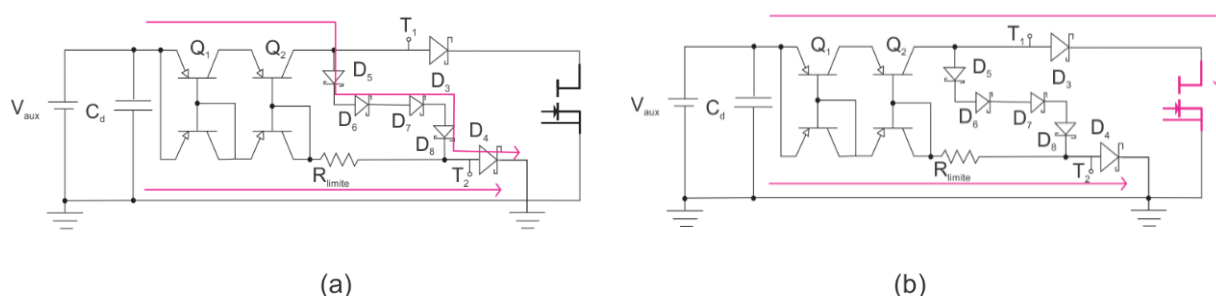


Fonte: adaptado de (LI, 2018).

Uma outra opção de circuito auxiliar para a realização das medições de tensão V_{ds} foi empregada no circuito de caracterização do **GaN cascode** em (YAO, 2017). O

circuito é conectado aos terminais *drain* e *source* do dispositivo sob teste (DUT), do inglês *device under test*, sendo a medição da tensão de V_{ds} do DUT realizada nos pontos denominados de T1 e T2. Entre esses pontos há somente pequenos valores de tensão. Com o dispositivo DUT bloqueado, conforme a Figura 45 (a), o valor da tensão medida entre os pontos T1 e T2 é o somatório das tensões nos diodos D5 a D8, normalmente o total abaixo de 10 V. Com o dispositivo DUT conduzindo, conforme a Figura 45 (b), o valor da tensão será igual a tensão V_{ds} do DUT.

Figura 45 – Circuito auxiliar para medição de tensão V_{ds} : (a) interruptor bloqueado; (b) interruptor conduzindo.



Fonte: adaptado de (YAO, 2017).

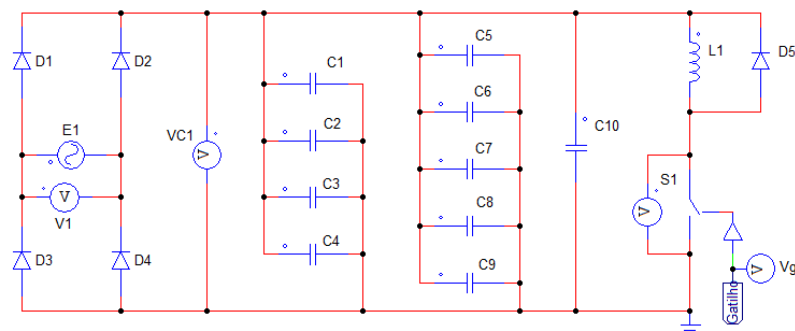
Na sequência são apresentados os principais testes a serem realizados no protótipo na operação **hard switching**.

4.4 TESTES SELECIONADOS

As escolhas foram definidas visando construir um protótipo com a possibilidade de execução de vários testes para conhecimento da tecnologia, mas mantendo-se uma simplicidade funcional que possibilitasse a reprodução e o reaproveitamento do protótipo em futuros estudos envolvendo a tecnologia. Os testes foram selecionados baseados no circuito DPT apresentado em (HUANG, 2015) e no circuito auxiliar apresentado em (LI, 2018).

O circuito constituído de componentes ideais utilizados nos testes está apresentado na Figura 46.

Figura 46 – Circuito DPT ao teste.

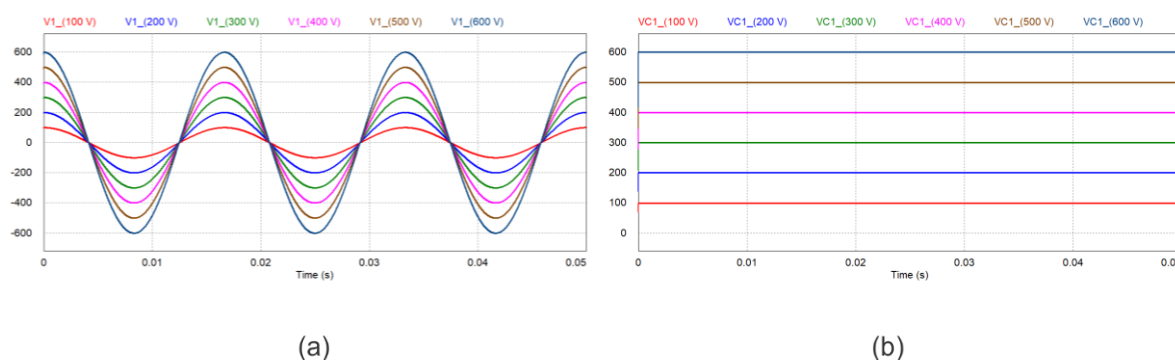


Fonte: Produção do autor.

O fornecimento de energia ao circuito de teste é realizado a partir de uma fonte de CA, denominada de E1. A fonte opera com tensão senoidal de 60 Hz e com possibilidade de ajuste da amplitude. A forma de onda da fonte de tensão CA variável está apresentado na Figura 47 (a).

A conversão de CA para CC foi realizada com a utilização de um retificador a diodos, denominados de D1 a D4. A partir da retificação da tensão, acumula-se energia nos capacitores de acumulação do tipo eletrolíticos de alumínio C1 a C4 e nos capacitores de filme de polipropileno C5 a C9. Para os valores estimados de capacitância, a tensão nos capacitores denominada de VC1 pode ser considerada constante conforme apresentado na Figura 47 (b).

Figura 47 – Forma de onda da tensão: (a) da fonte CA variável; (b) nos capacitores do circuito DPT.



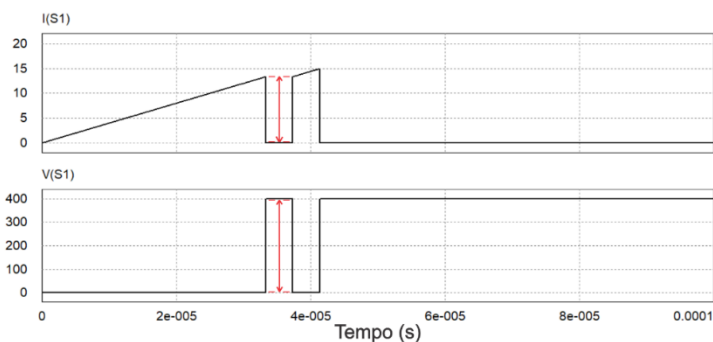
Fonte: Produção do autor.

Após a carga do conjunto de capacitores, o interruptor pode ser habilitado a condução. Com o interruptor em condução, a tensão do conjunto de capacitores é aplicada sobre o indutor, sendo assim ocorre o aumento da corrente no indutor. Como

a tensão no conjunto de capacitores é avaliada como constante, a corrente no indutor aumenta de forma linear até atingir o valor de corrente de teste. Ao atingir o valor estabelecido de corrente de teste, o interruptor é desabilitado. Com isso, a corrente do indutor para de conduzir pelo interruptor e conduz pelo diodo D5. O valor da corrente se mantém constante circulando através do indutor e do diodo D5. O tempo do efeito de “roda livre”, no qual o interruptor está desabilitado é definido como t_{off} e durante esse tempo a tensão no interruptor é igual a tensão V_{C1} . Após transcorrer o tempo t_{off} , o interruptor é novamente habilitado à condução.

As formas de onda obtidas a partir de simulação da corrente i_d e tensão v_{ds} no interruptor estão apresentadas na Figura 48.

Figura 48 – Forma de onda da corrente e da tensão no interruptor do circuito DPT com indicação dos instantes das transições de estados.



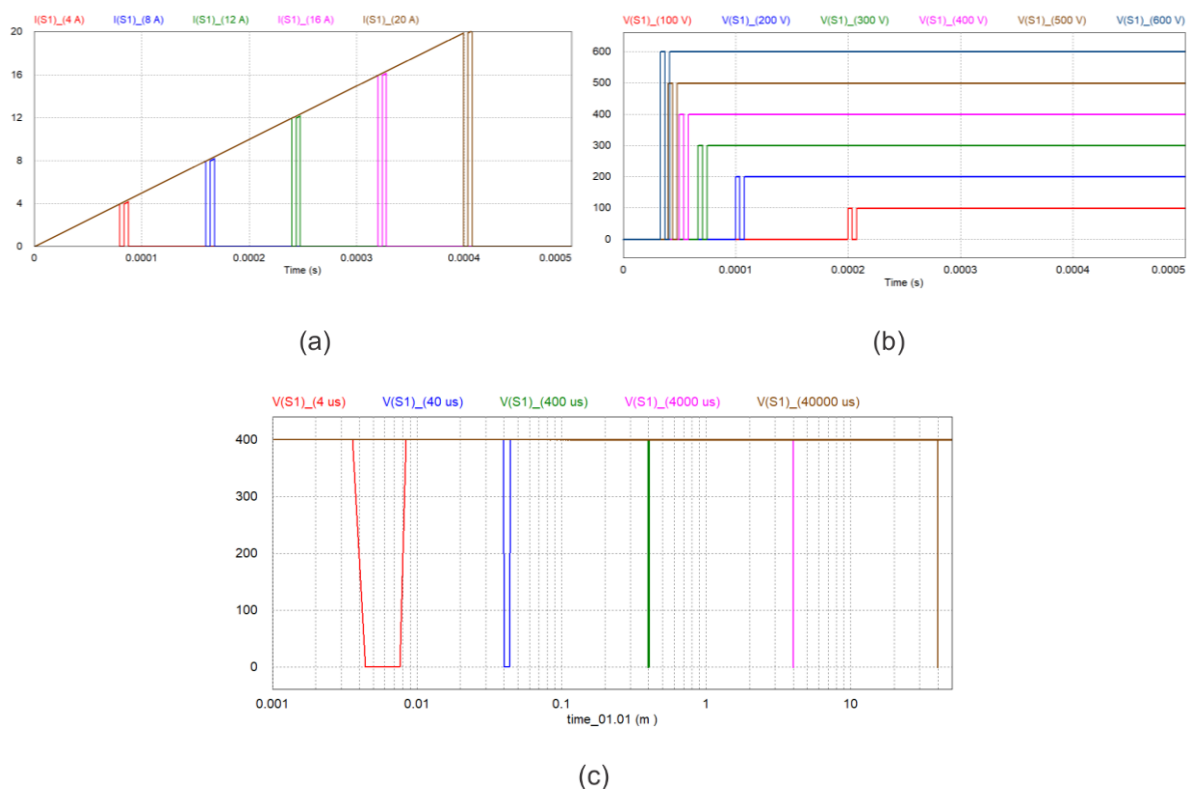
Fonte: Produção do autor.

Para uma avaliação criteriosa do interruptor foi avaliado a operação nas faixas:

- corrente I_d de 1 A a 50 A;
- tensão $V_{ds(off)}$ 50 V a 600 V;
- temperatura T_j de 25 °C a 100 °C;
- tempos no estado off de 4 us, 40 us, 400 us e 4000 us.

Algumas situações de testes estão representadas por meio de simulações, como a alteração do nível de corrente i_d apresentada na Figura 49 (a), a alteração do nível de tensão $V_{ds(off)}$ durante o estado off apresentada na Figura 49 (b) e a alteração no tempo de estado off apresentada na Figura 49 (c).

Figura 49 – Valores alterados no teste do circuito DPT: (a) corrente de *drain*; (b) tensão no estado de bloqueio; (c) tempo no estado de bloqueio.



Fonte: Produção do autor.

Os testes foram selecionados com base em trabalhos existentes e tem como objetivo diversificar a aplicação do DPT.

Na sequência está apresentado o resultado do conjunto de simulações empregando componentes ideais e não ideais.

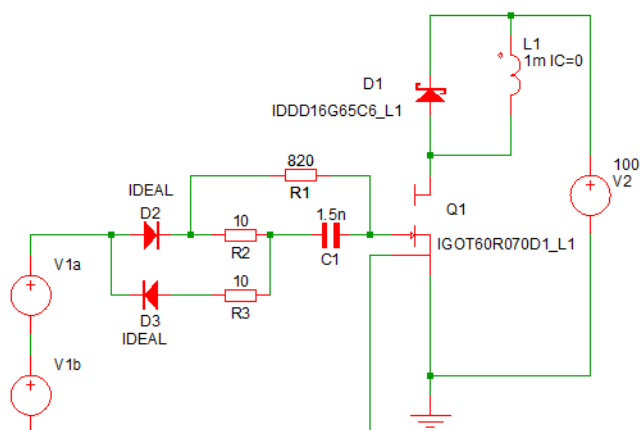
4.5 SIMULAÇÕES COM COMPONENTES IDEALIZADOS E MODELOS SPICE

O conjunto de simulações realizadas do DPT foi implementado em programa computacional empregando alguns componentes ideais e modelos SPICE fornecidos pelos fabricantes.

No circuito de simulação foram incluídos dois diodos ideais D2 e D3 possibilitando uma função similar do CI *gate driver*. As fontes V1a e V2b realizam as transições da tensão de gatilho com valores dos tempos de subida e descida similares ao CI *gate driver*. Os componentes R1, R2, R3 e C1 representam os componentes de

disparo de *gate*. O diodo D1 e o interruptor Q1 foram avaliados como componentes na forma ideal e modelo SPICE. A fonte V2 e o indutor L1 completam o circuito de potência como componentes ideais. O circuito utilizado para simulação está apresentado na Figura 50.

Figura 50 – Circuito de simulação de componentes idealizados e modelos SPICE.



Fonte: Produção do autor.

Nas simulações realizadas no circuito apresentado na Figura 50 foram empregados componentes ideais, com exceção dos componentes interruptor Q1 e diodo D1. Para as simulações dos dois componentes foram utilizados componentes ideais e modelos SPICE. As simulações foram divididas em quatro partes, conforme descrito na Tabela 4.

Tabela 4 – Combinações de simulações realizadas do circuito.

Simulação nº	Interruptor	Diodo
1	Ideal	Ideal
2	Ideal	Modelo SPICE
3	Modelo SPICE	Ideal
4	Modelo SPICE	Modelo SPICE

Fonte: Produção do autor.

As quatro partes de simulações estão apresentadas na sequência na forma comparativa, com verificações das formas de onda no interruptor Q1, avaliando-se a corrente i_d e a tensão v_{ds} .

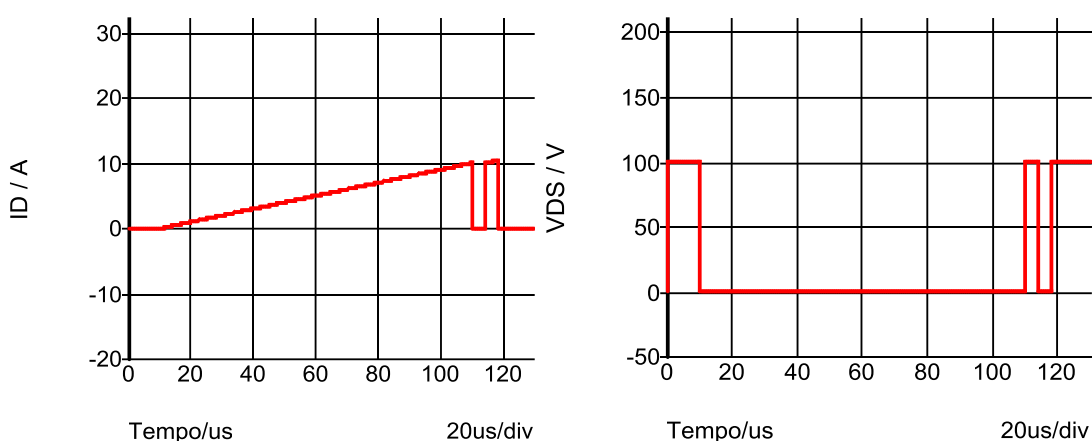
Na primeira simulação foram empregados o interruptor e o diodo como componentes ideais. O comportamento do circuito operando em sua forma ideal se apresenta com ausência de quaisquer oscilações nas curvas da corrente i_d e tensão v_{ds} nas transições *turn-off* e *turn-on*. O resultado da simulação está apresentado na Figura 51 (a).

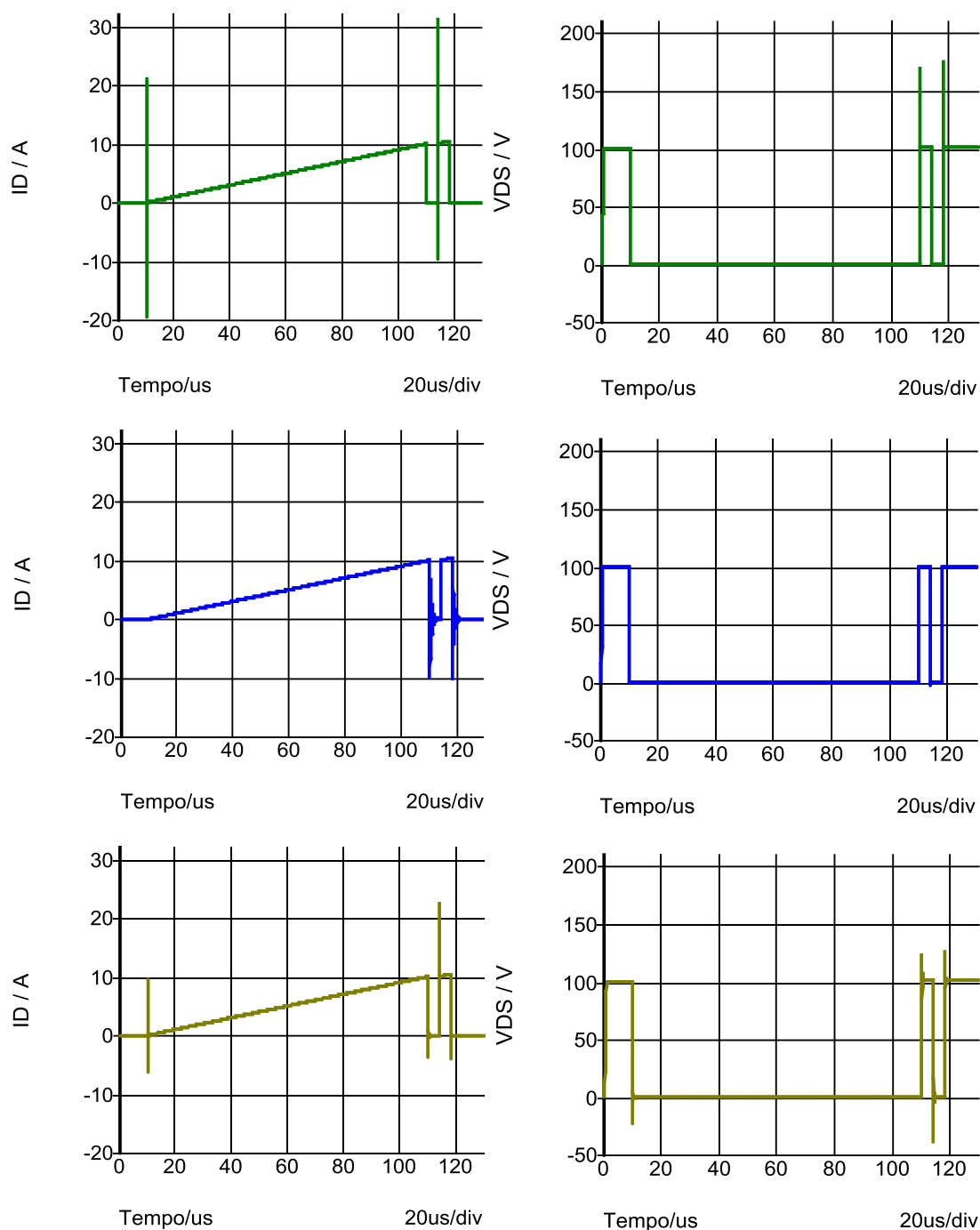
Na segunda simulação foram empregados o interruptor ideal e o diodo modelo SPICE. É possível verificar a ocorrência de oscilações da corrente i_d na transição *turn-on* e da tensão v_{ds} na transição *turn-off*. O resultado da simulação está apresentado na Figura 51 (b).

Na terceira simulação foram empregados o interruptor modelo SPICE e o diodo ideal. É possível verificar a ocorrência de oscilações da corrente i_d na transição *turn-off* e da tensão v_{ds} na transição *turn-on*. O resultado da simulação está apresentado na Figura 51 (c).

Na quarta simulação foram empregados o interruptor e o diodo como modelos SPICE. As oscilações nas formas de onda da corrente i_d e da tensão v_{ds} ocorrem nas transições *turn-off* e *turn-on*. O resultado da simulação está apresentado na Figura 51 (d).

Figura 51 – Formas de onda da corrente i_d e da tensão v_{ds} obtidas na simulação com: (a) Q1 e D1 ideais; (b) Q1 ideal e D1 modelo SPICE; (c) Q1 modelo SPICE e D1 ideal; (d) Q1 e D1 modelos SPICE.





Fonte: Produção do autor.

No detalhe da transição *turn-on*, a simulação com o diodo e o interruptor considerados ideais, não se apresentam oscilações da corrente i_d e da tensão v_{ds} . As formas de onda da tensão v_{ds} e a corrente i_d estão presentes na Figura 52 (a) e Figura 52 (b).

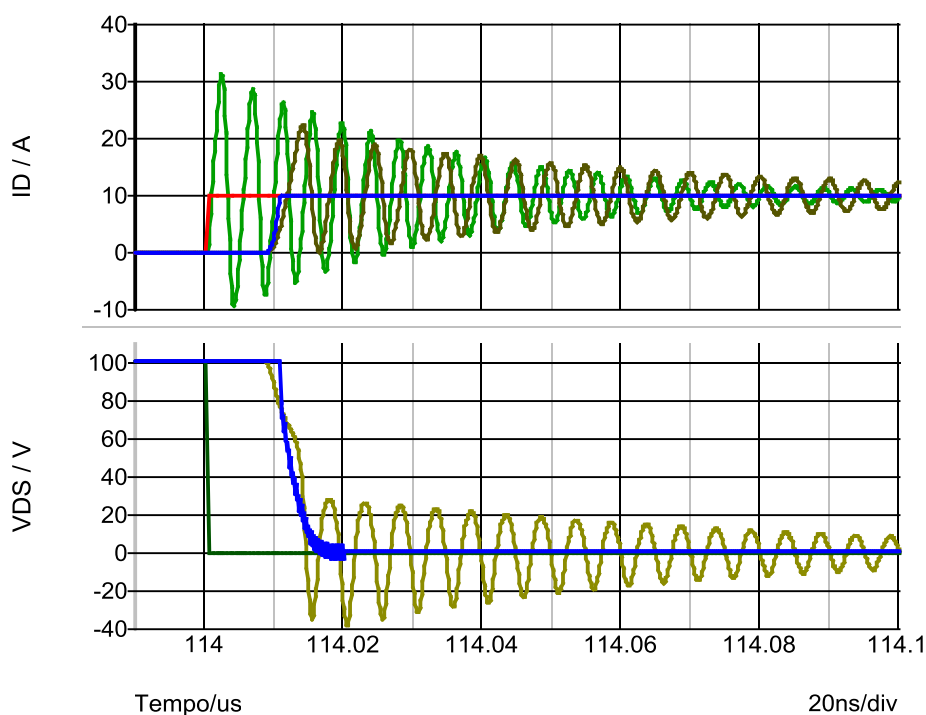
No detalhe da transição *turn-on*, a simulação considerando o interruptor ideal e o diodo modelo SPICE, primeiramente a comutação da tensão v_{ds} ocorre de forma instantânea e na sequência a corrente i_d possui um transitório. Inicialmente o diodo se encontra em condução, quando o interruptor inicia a condução, por se tratar de um componente ideal, o valor da tensão v_{ds} será instantaneamente nulo. E com isso, o valor da corrente i_d é resultado do restante do circuito. A comutação instantânea da tensão v_{ds} acarreta também na comutação instantânea da tensão sobre o diodo modelo SPICE. O diodo modelo SPICE ainda em condução é submetido ao valor de tensão reversa igual ao da fonte de tensão V2. Por se tratar de um diodo modelo SPICE, o bloqueio não é instantâneo, com isso há uma transição na alteração da corrente no diodo e oscilações em função das não-idealidades presentes no modelo SPICE do próprio diodo. A corrente no diodo e a corrente no indutor L (constante no período de análise) resultam na corrente do interruptor ideal. As formas de onda da tensão v_{ds} e a corrente i_d estão presentes na Figura 52 (a) e Figura 52 (b). Uma oscilação de 232 MHz com um sobressinal de 31 A foi verificado na corrente i_d .

No detalhe da transição *turn-on*, a simulação considerando o interruptor modelo SPICE e o diodo ideal, primeiramente ocorre a comutação da corrente i_d de forma instantânea e na sequência a tensão v_{ds} possui um transitório. Inicialmente o diodo ideal está em condução e com tensão nula. O interruptor modelo SPICE é habilitado à condução, o que acarreta o aumento do valor da corrente i_d e na redução da corrente através do diodo ideal. Durante o aumento da corrente no interruptor modelo SPICE, o valor da tensão v_{ds} se mantém igual ao da fonte de tensão V2, visto que o diodo ideal está em condução e se mantém com tensão nula. Quando o interruptor modelo SPICE assume o valor total da corrente do indutor L, portanto a corrente no diodo atinge o valor nulo, tem-se o término de condução pelo diodo ideal sem quaisquer oscilações devido a não-idealidades no próprio diodo ideal. Em seguida, a tensão v_{ds} começa a diminuir, por se tratar de um interruptor modelo SPICE, o bloqueio não é instantâneo, há uma transição na alteração da tensão v_{ds} do interruptor, desta forma, originam-se oscilações na tensão v_{ds} em função das não-idealidades presentes no modelo do interruptor. A tensão v_{ds} e a tensão da fonte V2 (constante) definem a

tensão reversa sobre o diodo ideal. As formas de onda da tensão v_{ds} e a corrente i_d estão presentes na Figura 52 (a) e Figura 52 (b).

No detalhe da transição *turn-on*, a simulação com o diodo e o interruptor considerados modelos SPICE, há presença de oscilações nas curvas da corrente i_d e da tensão v_{ds} devido a não-idealidades presentes em ambos os componentes. O resultado da simulação está apresentado na Figura 52 (a) e Figura 52 (b). Uma oscilação de 185 MHz com um sobressinal de 22 A foi verificado na corrente de *drain* i_d .

Figura 52 – Detalhe da transição *turn-on* obtido nas simulações com Q1 ideal e D1 ideal (vermelho), Q1 ideal e D1 Modelo SPICE (verde), Q1 modelo SPICE e D1 ideal (azul) e Q1 modelo SPICE e D1 modelo SPICE (amarelo), formas de onda da: (a) corrente i_d ; (b) tensão v_{ds} .



Fonte: Produção do autor.

No detalhe da transição *turn-off*, a simulação com o interruptor e o diodo considerados ideais, não se apresentam oscilações da corrente i_d e da tensão v_{ds} .

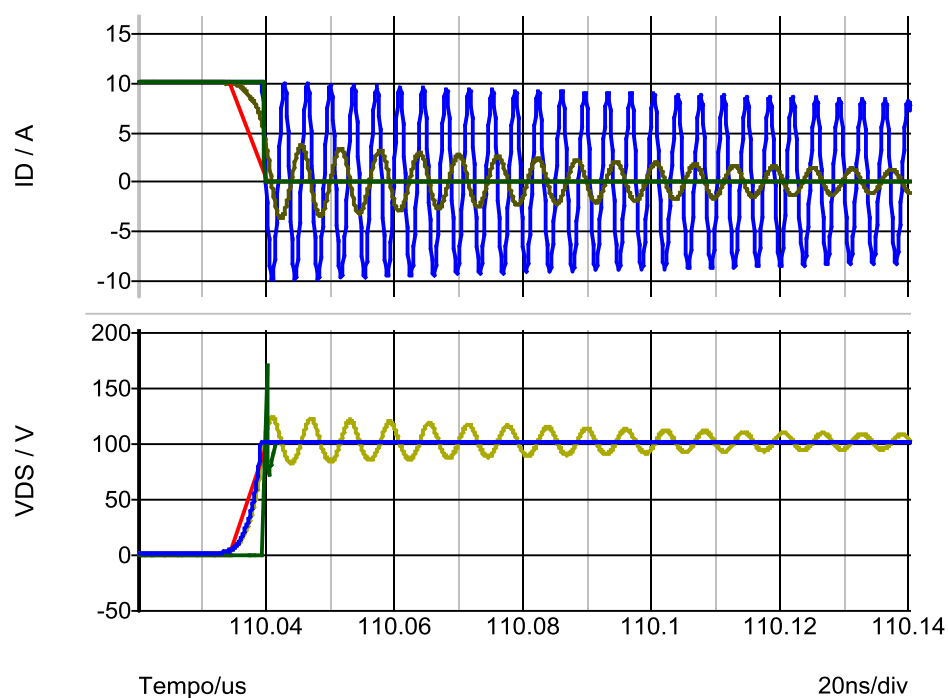
No detalhe da transição *turn-off*, a simulação com o interruptor ideal e o diodo modelo SPICE, primeiramente ocorre a comutação da corrente i_d de forma instantânea e na sequência a tensão v_{ds} possui um transitório. Inicialmente o

interruptor está em condução e o valor da tensão v_{ds} é nulo. Ao desabilitar o interruptor, o valor da corrente i_d será instantaneamente nulo, o comportamento ocorre por se tratar de um componente ideal. A tensão v_{ds} é resultado do restante do circuito. A comutação instantânea da corrente i_d acarreta também a comutação instantânea da corrente no diodo. O diodo que se encontrava inicialmente em bloqueio é submetido abruptamente ao valor de corrente igual ao do valor de corrente do indutor L. Por se tratar de um diodo modelo SPICE, o início da condução não é instantâneo, o que acarreta uma transição na tensão sobre ele e oscilações. A combinação das tensões no diodo modelo SPICE e na fonte V2 (constante) resultam no valor da tensão v_{ds} do interruptor ideal. As formas de onda da tensão v_{ds} e a corrente i_d estão presentes na Figura 57 (a) e Figura 57 (b).

No detalhe da transição *turn-off*, a simulação com o interruptor modelo SPICE e o diodo ideal, primeiramente ocorre a comutação da tensão v_{ds} de forma instantânea e na sequência a corrente i_d possui um transitório. Quando o diodo ideal inicia a condução, por se tratar de um componente ideal, o valor da tensão será instantaneamente nulo e o valor de corrente no diodo dependerá do restante do circuito. A comutação instantânea da tensão no diodo acarreta também na comutação instantânea da tensão sobre o interruptor. O interruptor em condução é submetido a tensão v_{ds} igual ao valor da fonte V2. Por se tratar de um interruptor modelo, o bloqueio não é instantâneo, há uma transição na alteração do nível de corrente i_d do interruptor e oscilações. As correntes no interruptor modelo SPICE e no indutor L (constante no período de análise) resultam na corrente do diodo ideal. As formas de onda da tensão v_{ds} e a corrente i_d estão presentes na Figura 57 (a) e Figura 57 (b). Uma oscilação de 278 MHz e com o menor valor de -10 A foi verificado na corrente i_d .

No detalhe da transição *turn-off*, a simulação com o interruptor e o diodo considerados modelos SPICE, há presença de oscilações na corrente i_d e na tensão v_{ds} devido a não-idealidades presentes nos componentes. O resultado da simulação está apresentado na Figura 57 (a) e Figura 57 (b). Uma oscilação de 164 MHz com o menor valor de -4 A foi verificado na corrente i_d .

Figura 53 – Detalhe da transição *turn-off* obtido na simulações com Q1 ideal e D1 ideal (vermelho), Q1 ideal e D1 Modelo SPICE (verde), Q1 modelo SPICE e D1 ideal (azul) e Q1 modelo SPICE e D1 modelo SPICE (amarelo), formas de onda da: (a) corrente i_d ; (b) tensão v_{ds} .



Fonte: Produção do autor.

O circuito que foi definido para investigações das características de comutação do interruptor envolvendo a técnica DPT foi apresentado e com isso na sequência foram detalhados pontos relevantes envolvidos no projeto.

5 PROJETO DPT

Na sequência serão apresentados detalhes dos dispositivos empregados no presente trabalho. As informações apresentadas dos dispositivos possuem particularidades envolvidas dependentes de condições de testes, sendo descritas para situações típicas, conforme informado nas referências.

5.1 PRINCIPAIS COMPONENTES

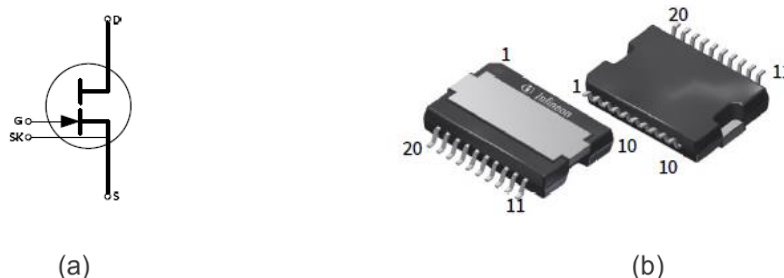
Os principais componentes do projeto estão apresentados a seguir.

5.1.1 GaN

O modelo de interruptor de **GaN** HEMT utilizado no presente trabalho é denominado de IGOT60R070 da empresa Infineon. O modelo é uma estrutura de **intensificação** destinado para as aplicações com valores máximos de operação de tensão de bloqueio V_{ds} de 600 V e corrente I_d de 60 A (em determinadas condições de operação).

A simbologia adotada e o dispositivo encapsulado na forma PG-DSO-20-87 pode ser verificado na (INFINEON, 2018).

Figura 54 – Dispositivo IGOT60R070 da Infineon. (a) simbologia (b) encapsulamento.



Fonte: (INFINEON, 2018).

Para avaliar as condições de máxima operação do dispositivo, de forma geral é possível avaliar a partir dos valores mensurados na folha de dados. Os valores

máximos estão mensurados em função de determinada condição de teste. Para exemplificar, tem-se o valor máximo da tensão V_{ds} como 600 V para a condição de aplicação de tensão V_{gs} de 0 V. É importante salientar que diferentes condições de operação necessitam de reavaliação. O mesmo ocorre para as demais grandezas.

O valor máximo de corrente (pulso) I_d do dispositivo é 60 A para temperatura de cápsula T_c de 25 °C. Na condição de teste de temperatura de cápsula T_c de 125 °C há uma redução na capacidade do dispositivo, sendo o novo valor máximo de corrente (pulso) I_d de 35 A.

Os valores máximos de tensão V_{ds} e corrente I_d do dispositivo estão apresentados na Tabela 5.

Tabela 5 Valores máximos de tensão V_{ds} e corrente I_d do dispositivo.

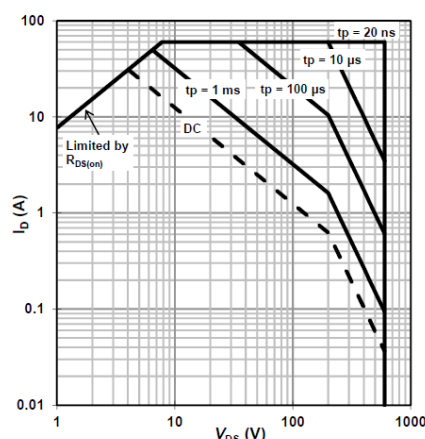
	Valores (máx.)	Condições de teste
Tensão <i>Drain-Source</i> V_{ds}	600 V	$V_{gs}=0$ V
Corrente (contínuo) de <i>Drain</i> I_d	31 A	$T_c= 25$ °C; $T_j=T_{j,max}$
	20 A	$T_c= 100$ °C; $T_j=T_{j,max}$
	14 A	$T_c= 125$ °C; $T_j=T_{j,max}$
Corrente (pulso) de <i>Drain</i> I_d	60 A	$T_c= 25$ °C; $I_g=26,1$ mA
	35 A	$T_c= 125$ °C; $I_g=26,1$ mA

Fonte: adaptado de (INFINEON, 2018).

Os máximos limites de operação do dispositivo podem ser avaliados com auxílio do gráfico de área de operação segura. O gráfico possibilita verificar o máximo valor de corrente I_d para vários valores de tempos de pulso, para toda faixa de tensão V_{ds} , de forma a operar sem danificar o dispositivo. O gráfico se refere a uma temperatura de 25 °C. Para o tempo de pulso de corrente I_d de 1 ms e tensão V_{ds} de 100 V, tem-se o valor máximo permissível de corrente I_d de 3 A.

O gráfico de área de operação segura do dispositivo é apresentado na Figura 55.

Figura 55 – Gráfico de área de operação segura do dispositivo. Corrente I_d para vários tempos de pulsos e toda faixa de tensão V_{ds} . Temperatura 25 °C.



Fonte: (INFINEON, 2018).

Em função da característica da estrutura, para a corrente de *gate* I_g há dois valores máximos mensurados de forma isolada. Primeiramente, há um limite (2000 mA) para o valor de pulso de corrente de *gate* que ocorre durante um curto intervalo de tempo somente no início ou término da condução, no qual é responsável pela carga ou descarga das capacitâncias de entrada (vistas do *gate*) do dispositivo. O segundo limite (20 mA) é da corrente I_g existente durante todo o intervalo de tempo de condução do dispositivo. Os valores máximos de corrente I_g do dispositivo estão apresentados na Tabela 6.

Tabela 6 – Valores máximos de corrente I_g do dispositivo.

	Valores (máx.)	Condições de teste
Corrente de <i>gate</i> I_g (contínuo)	20 mA	Tj=-55 °C até Tj=150 °C
Corrente de <i>gate</i> I_g (pulso)	2000 mA	Tj=-55 °C até Tj=150 °C

Fonte: adaptado de (INFINEON, 2018).

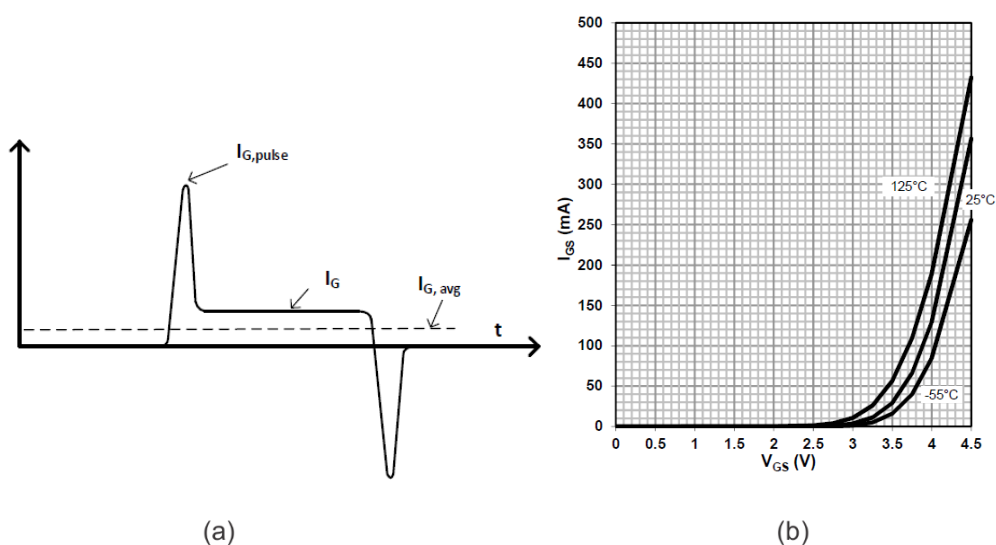
A evolução da corrente I_g (contínuo) no dispositivo é característico de uma estrutura de **intensificação**. Para valores positivos de tensão, nas proximidades de 0 a 1 V, tem-se o dispositivo operando como bloqueado. O valor de corrente I_d é

pequeno (corrente I_d não atinge valor definido, por exemplo: 2,6 mA), mesmo existindo a contribuição da corrente de fuga.

Com valor de tensão V_{gs} em torno de 1 V, o dispositivo inicia a condução (visto que a corrente I_d atinge valor definido, por exemplo: 2,6 mA com aplicação da tensão V_{ds} de 10 V na temperatura T_j de 25 °C). Esse valor é a tensão V_{th} do dispositivo.

A forma de onda representativa da corrente de *gate* I_g em função do tempo, constituída dos detalhes do pulso (positivo e negativo) e do intervalo contínuo pode ser verificada na Figura 56 (a). As formas de onda da corrente I_g do dispositivo em função da tensão V_{gs} para diferentes temperaturas T_j podem ser verificadas na Figura 56 (b).

Figura 56 – Detalhes do *gate*: (a) forma de onda da corrente de *gate* incluindo três principais regiões: pulso positivo do início da condução; valor estático durante a condução; pulso negativo do término da condução. (b) corrente I_g do dispositivo em função da tensão V_{gs} . Para diferentes valores de temperatura.



Fonte: (INFINEON, 2018).

O valor típico da tensão V_{th} do dispositivo é 1,2 V na temperatura de cápsula T_c de 25 °C. E na temperatura de cápsula T_c de 125 °C há uma redução no valor típico da tensão V_{th} , algo característico da estrutura, sendo o novo valor de 1,0 V.

Os valores típicos da tensão V_{th} para determinadas condições estão apresentadas na Tabela 7.

Tabela 7 – Tensão de *threshold* V_{th} do dispositivo.

	Valores (típico)	Condições de teste
Tensão <i>threshold</i> (de <i>gate</i>) V_{th}	1,2 V	$I_{ds}=2,6$ mA; $V_{ds}=10$ V; $T_j=25$ °C
	1,0 V	$I_{ds}=2,6$ mA; $V_{ds}=10$ V; $T_j=125$ °C

Fonte: adaptado de (INFINEON, 2018).

O dispositivo em condução pode ser avaliado a partir da característica típica de saída do dispositivo que pode ser verificada com auxílio da Figura 57. A corrente I_d do dispositivo têm as regiões com características ôhmica e saturada.

A região com característica ôhmica apresenta linearidade entre a tensão V_{ds} e a corrente I_d . A faixa de operação de corrente I_d no dispositivo de aproximadamente 0 a 30 A, na situação de temperatura de 25 °C, é bastante similar para diferentes valores de corrente I_g . Para o valor de corrente I_d de 10 A, corrente I_g de 0,1 mA, 1 mA e 10 mA, e temperatura de 25 °C, o valor aproximado de tensão V_{ds} é 0,6 V.

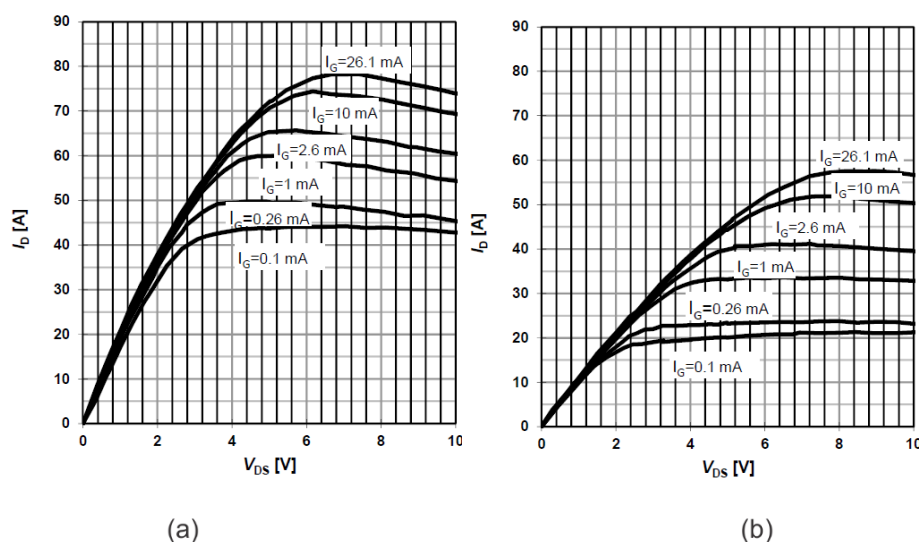
A região com característica de corrente I_d saturada não apresenta linearidade entre a tensão V_{ds} e a corrente I_d . O valor de saturação da corrente I_d é dependente da corrente I_g . Para os valores de corrente I_d de 40 A, corrente I_g de 0,1 mA e temperatura de 25 °C, o valor aproximado de tensão V_{ds} é 2,4 V. Aproximadamente a partir deste ponto, é possível mencionar o início da saturação da corrente I_d . O valor da corrente I_d praticamente não aumenta, o canal de condução está praticamente saturado para a corrente I_g de 0,1 mA, mesmo com o aumento do valor de tensão V_{ds} de 2,4 a 10 V, há somente uma pequena alteração no valor de corrente I_d .

O aumento do valor de temperatura T_j acarreta na redução da condutividade do dispositivo. Para corrente I_g de 0,1 mA, com 25 °C há praticamente a saturação da corrente I_d com 40 A e com 125 °C há praticamente a saturação da corrente I_d com 17 A. e temperatura de 25 °C, tem-se o valor aproximado de tensão V_{ds} de 2,4 V.

Os gráficos das características de saída do dispositivo com a corrente I_d do dispositivo em função da tensão V_{ds} para diferentes valores de corrente de *gate* e

valores de temperaturas de 25 °C e 125 °C estão apresentados nas Figura 57 (a) e Figura 57 (b), respectivamente.

Figura 57 – Corrente I_d do dispositivo em função da tensão V_{ds} . Para diferentes valores de corrente de gate na temperatura de: (a) 25 °C e (b) 125 °C



Fonte: (INFINEON, 2018).

Uma informação avaliada nos dispositivos é a resistência de condução $R_{ds(on)}$, visto que acarreta nas perdas de condução do dispositivo. É comum o emprego da informação para análises básicas comparativas entre dispositivos distintos.

O dispositivo empregado possui valor típico da resistência de condução $R_{ds(on)}$ com valor mensurado de 0,070 Ω . O valor representa a resistência estática do dispositivo para condições específicas de operação. O valor da resistência interna de gate é 0,78 Ω . Os valores típicos das resistências de condução e interna de gate estão apresentados Tabela 8.

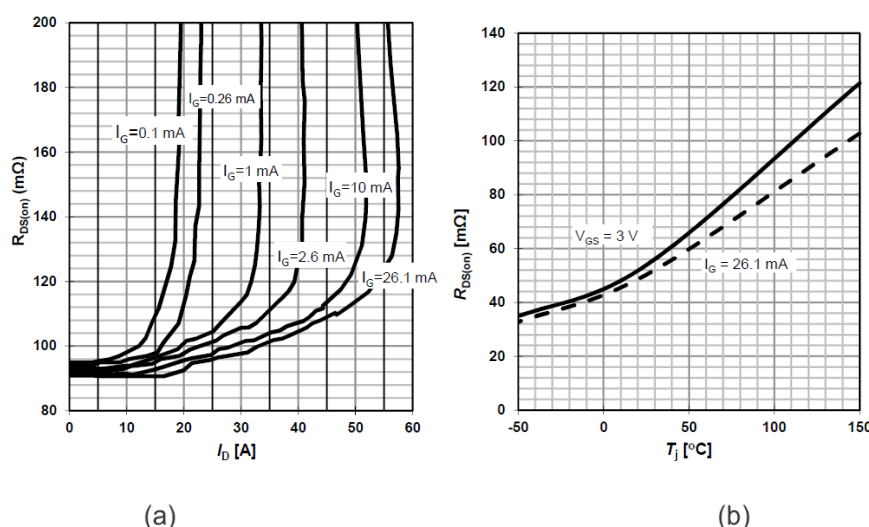
Tabela 8 – Resistências de condução $R_{ds(on)}$ e interna de gate.

	Valores (típico)	Condições de teste
Resistência de condução Drain-Source $R_{ds(on)}$	0,070 Ω	$I_g=26,1$ mA; $I_d=8$ A; $T_j=150$ °C
Resistência interna de gate	0,78 Ω	Drain aberto;

Fonte: adaptado de (INFINEON, 2018).

O valor da resistência de condução $R_{ds(on)}$ do dispositivo é alterado em função do valor da corrente I_g . Por exemplo, para corrente I_d de 15 A, nas situações de correntes I_g de 0,1 mA e 26,1 mA, tem-se 110 mΩ e 90 mΩ, respectivamente. A resistência $R_{ds(on)}$ em função da corrente I_d é mensurada graficamente para vários valores de corrente I_g , conforme apresentado na Figura 58 (a).

Figura 58 – Resistência $R_{ds(on)}$, em função: (a) da corrente I_d para diferentes correntes I_g . (b) temperatura T_j para valores constantes de tensão V_{gs} de 3 V e corrente I_d de 8 A.



Fonte: (INFINEON, 2018).

A resistência de condução $R_{ds(on)}$ do dispositivo é dependente da temperatura T_j sendo que ao aumentar a temperatura T_j , aumenta-se a resistência de condução $R_{ds(on)}$ do dispositivo. Em determinadas condições, na temperatura de 50 °C, tem-se algo próximo de 60 mΩ. Na temperatura de 100 °C, há algo próximo de 80 mΩ. O gráfico da resistência de condução $R_{ds(on)}$ do dispositivo em função da temperatura T_j é apresentado na Figura 58 (b), para valores constantes de tensão V_{gs} de 3 V ou corrente I_g de 26,1 mA.

Os valores das capacitâncias do dispositivo estão apresentados na forma normalmente empregada para interruptores, avaliando-se como as capacitâncias de entrada C_{iss} , saída C_{oss} e transferência reversa C_{rss} .

Os valores típicos de capacitância para determinadas condições de operação são apresentados na Tabela 9.

Tabela 9 – Capacitâncias do dispositivo.

	Valores (típico)	Condições de teste
Capacitância de entrada C_{iss}	380 pF	Vds=400 V; f=1 MHz
Capacitância de saída C_{oss}	72 pF	
Capacitância de transferência reversa C_{rss}	0,3 pF	

Fonte: adaptado de (INFINEON, 2018).

As capacitâncias do dispositivo são variáveis em função da tensão V_{ds} . Por exemplo, valores de C_{oss} em função da tensão V_{ds} , têm-se 200 pF em 25 V, 100 pF em 125 V e 72 pF em 400 V. Desta forma, apresenta-se graficamente as capacitâncias C_{iss} , C_{oss} e C_{rss} , conforme a Figura 59 (a).

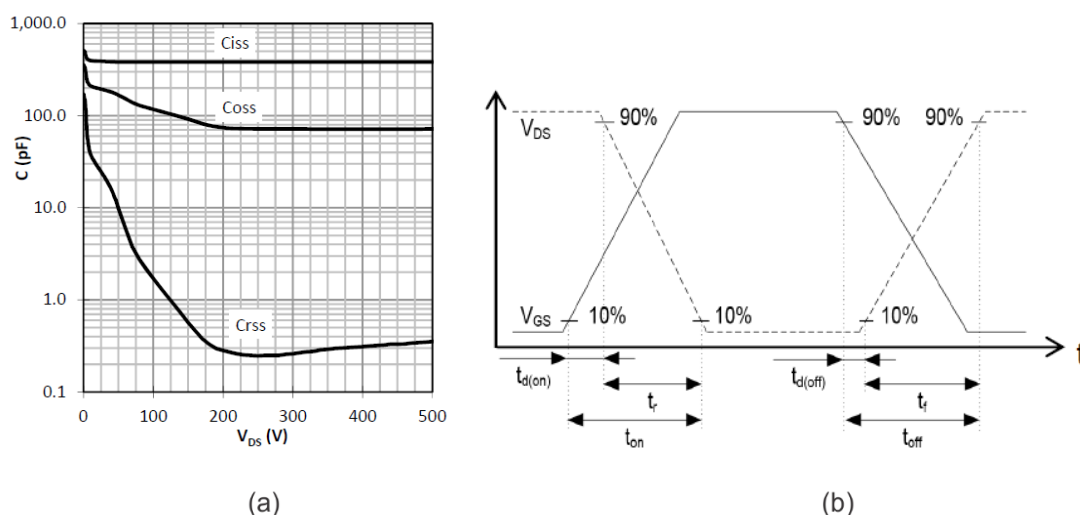
Os tempos das transições do dispositivo para o início da condução *turn-on* e término da condução *turn-off* são relevantes na avaliação dinâmica do dispositivo. Na avaliação do dispositivo são utilizados percentuais dos valores nominais como referência. As ultrapassagens de 10 % como atingiu o valor mínimo e 90 % como atingiu o valor máximo.

Para a situação de *turn-on* é empregado os tempos de atraso $t_{d(on)}$ e descida tr. O primeiro é caracterizado como o intervalo de tempo entre os instantes de tempo em que a tensão V_{gs} aumenta acima de 10 % e a tensão V_{ds} diminui abaixo de 90 %. O segundo é caracterizado como o intervalo de tempo para que a tensão V_{ds} decresça de 90 % até abaixo de 10 %.

Para a situação de *turn-off* é empregado os tempos de atraso $t_{d(off)}$ e subida T_f . O primeiro é caracterizado como o intervalo de tempo entre os instantes de tempo em que a tensão V_{gs} diminua abaixo de 90 % e a tensão V_{ds} aumente acima de 10 %. O segundo é caracterizado como o intervalo de tempo para que a tensão V_{ds} cresça de 10 % até abaixo de 90 %.

As delimitações dos principais tempos envolvidos nas transições *turn-on* e *turn-off* do dispositivo estão apresentadas na Figura 59.

Figura 59 – Características do dispositivo: (a) capacitâncias: C_{iss} , C_{oss} e C_{rss} . (b) delimitações dos principais tempos envolvidos nas transições *turn-on* e *turn-off* do dispositivo. Para o *turn-on* são $t_{d(on)}$ e t_r . Para *turn-off* são $t_{d(off)}$ e t_f .



Fonte: (INFINEON, 2018).

O tempo de *turn-on* do dispositivo é 24 ns (15 ns + 9 ns) e o tempo de *turn-off* é 28 ns (15 ns + 13 ns). Os principais tempos envolvidos nas transições do dispositivo estão apresentados na Tabela 10.

Tabela 10 – Principais tempos envolvidos nas transições do dispositivo.

	Valores (típico)	Condições de teste
Tempo de atraso <i>turn-on</i>	15 ns	Vds=400 V; Id=8 A, Ron= 10 Ω; Roff= 10 Ω; Rss = 820 Ω; Cg= 2 nF; Vdri = 12 V (saída do driver). Condições de teste.
Tempo de atraso <i>turn-off</i>	15 ns	
Tempo de subida t_r	9 ns	
Tempo de descida t_f	13 ns	

Fonte: adaptado de (INFINEON, 2018).

A carga de gate Q_g é avaliada na transição do dispositivo. O valor típico de carga Q_g para a transição do dispositivo para determinadas condições de operação está apresentado na Tabela 11.

Tabela 11 – Carga do *gate* do dispositivo.

	Valores (típico)	Condições de teste
Carga de <i>gate</i> Q_G	5,8 nC	$I_{gs}=0$ até 10 mA; $V_{ds}=400$ V; $I_d=8$ A

Fonte: adaptado de (INFINEON, 2018).

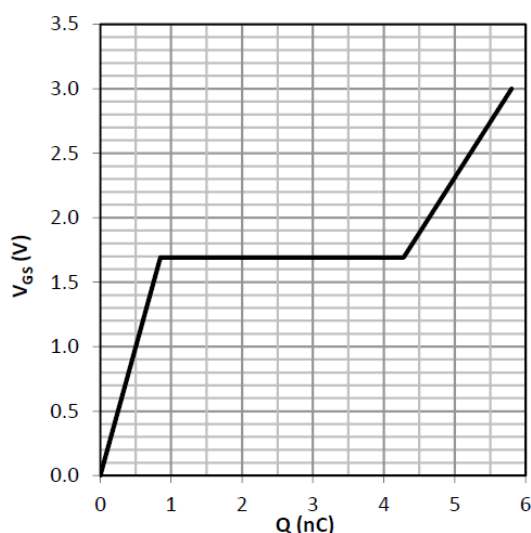
A evolução da tensão V_{gs} em função da carga Q_g é dependente de condições de teste, no caso o dispositivo foi avaliado com os valores iniciais da tensão V_{gs} de 0 V, corrente I_d de 0 A e tensão V_{ds} de 400 V. Após transição, com carga Q_g de 5,8 nC, os valores finais da tensão V_{gs} de 3 V, corrente I_d de 8 A e tensão V_{ds} de 0 V.

Primeiramente, o incremento da carga Q_g incrementa a tensão V_{gs} até 1,7 V com carga Q_g de 0,8 nC. Inclui-se a carga para atingir a tensão V_{th} para iniciar a condução e a carga para a corrente I_d incrementar até atingir o valor de operação.

A partir da carga Q_g de 0,8 nC até 4,3 nC, a tensão V_{ds} decresce até atingir o valor da tensão de condução. O Valor da tensão V_{gs} permanece constante 1,7 V.

A forma de onda da tensão V_{gs} pela carga Q_g está apresentada na Figura 60.

Figura 60 – Tensão V_{gs} em função da carga de *gate* com tensão V_{ds} de 400 V e corrente I_d de 8 A.



Fonte: (INFINEON, 2018).

O dispositivo na operação com condução de corrente no modo reverso (comumente mencionado como operação no modo diodo para o dispositivo MOSFET), no qual há corrente pelo canal de condução no sentido de *source* para *drain* (diferentemente do MOSFET que possui condução pelo diodo intrínseco) possui o valor típico de tensão de condução reversa V_{sd} maior do que da tensão de condução direta V_{ds} . O valor típico da tensão V_{sd} do dispositivo é 2,2 V para a tensão V_{gs} de 0 V e corrente I_d de 8 A. O valor máximo da corrente (reversa) I_s (pulso) do dispositivo é igual ao valor máximo da corrente I_d (pulso), no caso 60 A.

Os valores da condução reversa do dispositivo estão citadas na Tabela 12.

Tabela 12 – Características de condução reversa do dispositivo.

	Valores (típico)	Condições de teste
Tensão <i>Source-Drain</i> (reversa) V_{sd}	2,2 V	$V_{gs}=0$ V; $I_{sd}=8$ A
Corrente (reversa) I_s (pulso)	60 A	$I_g=26,1$ mA

Fonte: adaptado de (INFINEON, 2018).

Na análise são utilizadas as relações de tensão do dispositivo:

$$V_{sd} = V_{gd} + V_{sg} \quad (10)$$

$$V_{sd} = V_{gd} - V_{gs} \quad (11)$$

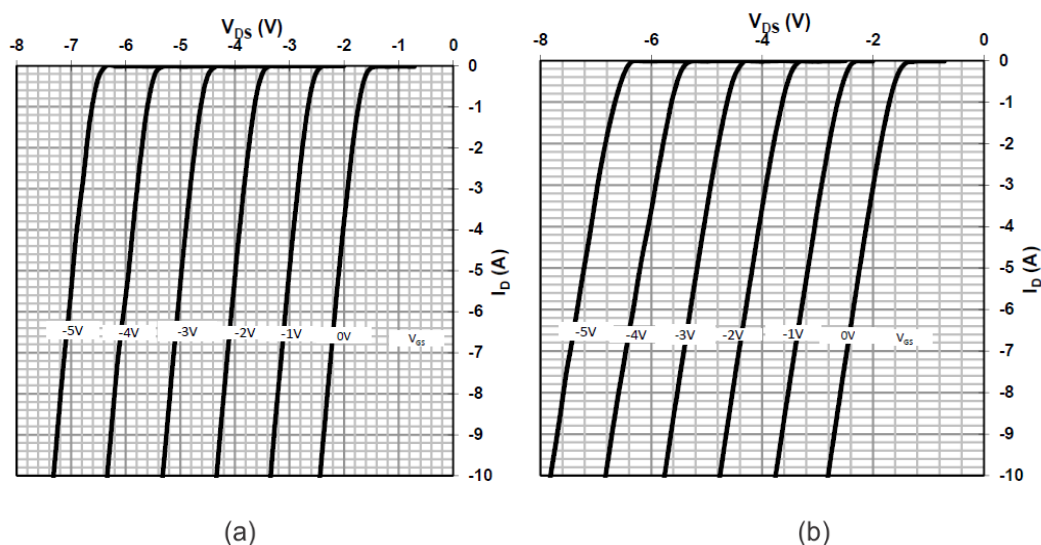
O dispositivo na operação com condução de corrente direta é muito similar a operação no modo reverso. No primeiro caso, o início da condução é determinado pela tensão V_{gs} . E no segundo, o início da condução é determinado pela tensão V_{gd} .

Primeiramente, a análise com a aplicação da tensão V_{gs} de 0 V (portanto V_{sg} de 0 V). Inicialmente, com o valor de tensão V_{sd} de 0 V, o dispositivo se encontra em estado de bloqueio. Quando a tensão V_{gd} , e consequentemente a tensão V_{sd} ($V_{sd} = V_{gd} + 0V$) atinge o valor da tensão V_{th} , inicia-se a condução. Para valores negativos de tensão V_{gs} no dispositivo, a tensão V_{sd} se torna maior durante a condução ($V_{sd(\text{conduzindo})} = V_{gd(th)} - V_{gs}$). De forma análoga ao apresentado da condução de forma direta, a

condução reversa também é influenciada pela temperatura T_j . O aumento da temperatura T_j acarreta no aumento da tensão V_{sd} .

A corrente I_d em função da tensão V_{ds} está apresentado na Figura 61.

Figura 61 – Corrente I_d em função da tensão V_{ds} . Para diferentes valores de tensão V_{gs} . Temperatura: (a) 25 °C e (b) 125 °C.



Fonte: (INFINEON, 2018).

A característica de recuperação existente no dispositivo ao operar no modo diodo tem valor insignificante, principalmente quando comparado com dispositivos de algumas outras tecnologias existentes. A característica de recuperação é comumente avaliada pela: carga de recuperação reversa Q_{rr} , tempo de recuperação reversa t_{rr} e corrente de recuperação reversa (pico) I_{rrm} . Os valores da característica de recuperação reversa do dispositivo empregado estão apresentadas na Tabela 13.

Tabela 13 – Características de recuperação reversa do dispositivo.

	Valores (típico)	Condições de teste
Carga de recuperação reversa Q_{rr}	0 nC	$I_s=8$ A; $V_{ds}=400$ V
Tempo de recuperação reversa t_{rr}	0 ns	
Corrente de recuperação reversa (pico) I_{rrm}	0 A	

Fonte: (INFINEON, 2018).

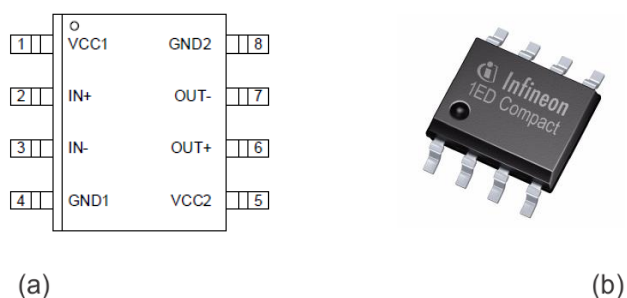
Apresentadas as principais características do dispositivo empregado no presente trabalho, tem-se na sequência as principais características do *gate driver* que é o principal componente do projeto com a finalidade de comando do interruptor.

5.1.2 Gate driver

O modelo de *gate driver* utilizado é denominado de 1EDI20N12AF da empresa Infineon. Ao longo do desenvolvimento do presente trabalho, a empresa desenvolveu um novo modelo específico para a atuação com a tecnologia.

O dispositivo é destinado ao acionamento do interruptor de **GaN** HEMT de **intensificação**. A escolha do adequado dispositivo de *gate driver* é importante para que o interruptor não seja subutilizado ou danificado. A corrente de *gate* do interruptor é provida pelas saídas do *gate driver*. Uma conexão é realizada das saídas do *gate driver* para o terminal de *gate* do interruptor, juntamente com alguns componentes discretos auxiliares. O caminho de retorno é realizado pela conexão do terminal *kelvin source* do interruptor até o GND2 do *gate driver*. O modelo de *gate driver* permite operações com valores de corrente de saída de até 4 A, ou seja, o máximo valor de corrente I_g não pode exceder 4 A. A simbologia adotada e o dispositivo encapsulado na forma de circuito integrado (CI) denominado de PG-DSO-8-51 estão apresentados na Figura 62.

Figura 62 – Dispositivo 1EDI20N12AF da Infineon: (a) simbologia; (b) encapsulamento PG-DSO-8-51.



Fonte: (INFINEON, 2015).

O *Gate Driver* possui dois pontos de alimentação, há uma primeira alimentação do lado de entrada VCC1 e há uma segunda alimentação do lado de saída VCC2. A alimentação com referências distintas, GND1 e GND2 respectivamente. Os lados de

entrada e saída são isolados de forma galvânica internamente no CI, com uso da tecnologia de transformador sem núcleo diretamente no CI. Desta forma, dispensa-se a isolação externa para os casos com mais de um interruptor com conexões em diferentes referenciais de tensão.

O conjunto de entrada do *Gate Driver* é composto por dois terminais de entrada denominados de IN+ e IN-. Os terminais IN+ e IN- operam como entrada diferencial.

O conjunto de saída do *Gate Driver* é composto por dois terminais de saída denominados de OUT+ e OUT-. O terminal de saída OUT+ opera como fonte para a corrente I_g do interruptor com o nível lógico alto e o terminal de saída OUT- opera como *ground* para a corrente I_g do interruptor com nível lógico baixo.

A descrição de cada terminal do dispositivo com a respectiva função está apresentada na Tabela 14.

Tabela 14 – Terminais do dispositivo *gate driver* 1EDI20N12AF.

Pino	Nome	Função
1	VCC1	Fonte de alimentação do lado de entrada do <i>Gate Driver</i>
2	IN+	Entrada não-inversora do <i>Gate Driver</i> (ativa nível alto)
3	IN-	Entrada inversora do <i>Gate Driver</i> (ativa nível baixo)
4	GND1	Referência do lado da entrada
5	VCC2	Fonte de alimentação do lado de saída do <i>Gate Driver</i>
6	OUT+	Saída do <i>Gate Driver</i> (<i>source</i>)
7	OUT-	Saída do <i>Gate Driver</i> (<i>sink</i>)
8	GND2	Referência do lado da saída

Fonte: (INFINEON, 2015).

Para avaliar as condições de operação do *gate driver*, de forma geral é possível avaliar a partir dos valores mensurados na folha de dados. A faixa de tensão de alimentação do lado de saída VCC2 é 10 V a 35 V e a faixa de tensão de alimentação do lado de entrada VCC1 é de 3,1 V a 17 V. A frequência de chaveamento f_{sw} máxima é 4 MHz. E a faixa de temperatura é - 40 °C a 125 °C.

Os principais valores mínimo e máximo para as condições de operação do *Gate Driver* estão apresentadas na Tabela 15.

Tabela 15 – Valores mínimos e máximos do *gate driver*.

(Determinadas condições)	Valores		Observação
	Mín.	Máx.	
Tensão de alimentação do lado de saída Vcc2	10 V	35 V	Referência de GND2
Tensão de alimentação do lado de entrada Vcc1	3,1 V	17 V	Referência de GND1
Frequência de chaveamento fsw	-	4 MHz	
Temperatura de junção Tj	- 40 °C	150 °C	

Fonte: (INFINEON, 2015).

A capacidade de corrente do *Gate Driver* para acionamento e desacionamento do interruptor pode ser avaliada em função do valor de corrente de pico. Garante-se a capacidade mínima de operação de 2 A. O valor é válido para o acionamento do interruptor através do terminal OUT+ e para o desacionamento do interruptor através do terminal OUT-.

Os valores mínimo e típico da capacidade de corrente de pico dos terminais de saída OUT+ e OUT- estão apresentadas Tabela 16.

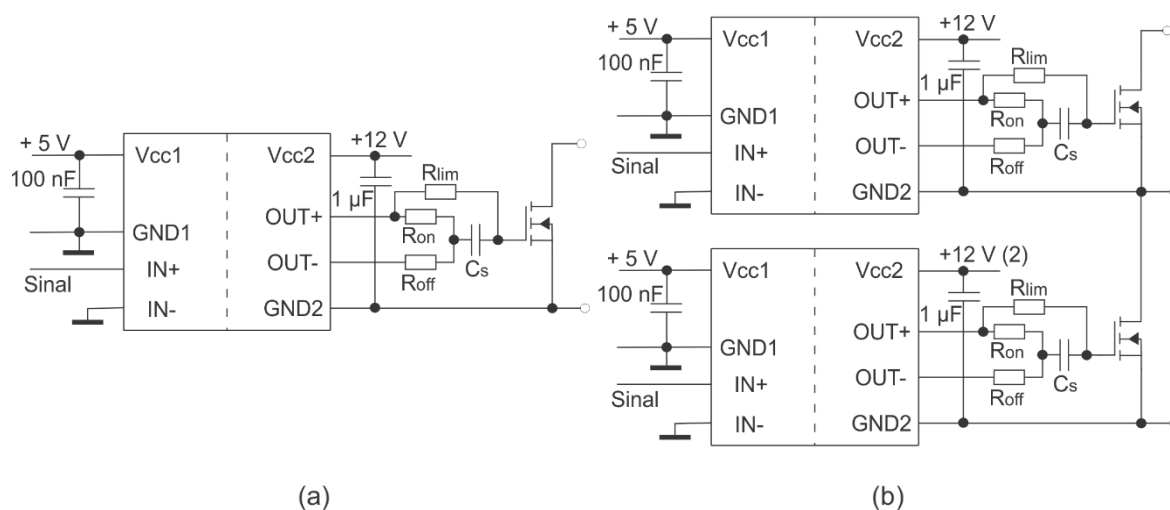
Tabela 16 – Valores mínimo e típico de corrente de saída OUT+ e OUT-.

(Determinadas condições)	Valores		Observação
	Mín.	Típ.	
High level output peak current (<i>source</i>) IOUT+,PEAK	2 A	4 A	VCC2 = 15 V
Low level output peak current (<i>sink</i>) IOUT-,PEAK	2 A	3,5 A	Referência de GND1

Fonte: (INFINEON, 2015).

A forma de conexão entre o *gate driver* e o interruptor empregada no presente trabalho utiliza alguns componentes passivos. Para o ajuste dos valores de corrente de pico dos terminais OUT+ e OUT- são empregados resistores com a finalidade de limitar a corrente I_g . Adicionalmente são empregados capacitores com a função de filtro conectados em paralelo com as fontes de alimentação dos lados de entrada (VCC1 e GND1) e saída (VCC2 e GND2). A forma empregada de conexão entre o *Gate Driver* e o interruptor está apresentada na Figura 63 (a).

Figura 63 – Circuito de disparo: (a) *gate driver* conectado ao interruptor. Adicionalmente os principais componentes passivos; (b) dois *gate drivers* e dois interruptores conectados à operação como Meia Ponte. Adicionalmente os principais componentes passivos para os dois *gate drivers*.



Fonte: (INFINEON, 2015).

Para a operação como Meia Ponte são necessários dois *Gate Drivers*, sendo cada um deles responsável pela atuação de um interruptor. Os componentes passivos utilizados para o primeiro *gate driver* são replicados para o segundo *gate driver*. Cada *gate driver* opera de forma independente e é responsável pelo acionamento e desacionamento de um interruptor, conforme apresentado na Figura 63 (b).

Na sequência está apresentado o indutor do DPT.

5.1.3 Indutor

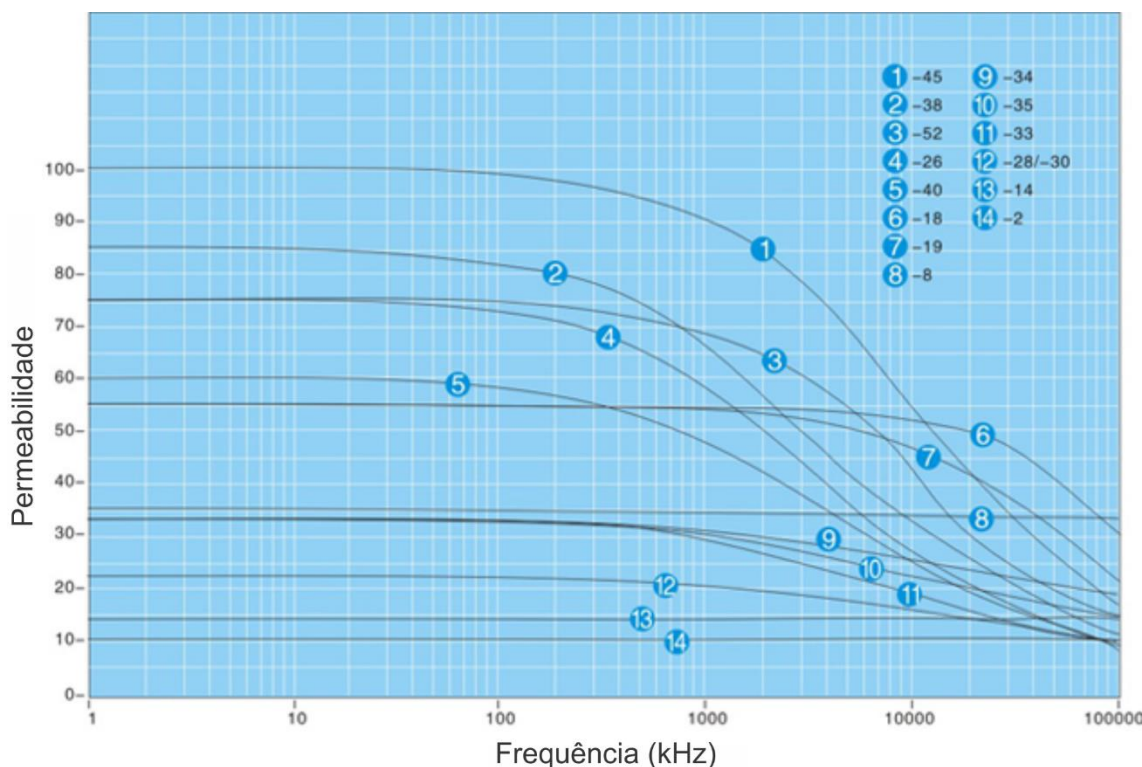
A avaliação do indutor a ser empregado no presente trabalho partiu primeiramente da necessidade de empregar um valor de indutância que possibilitasse a realização de todos os testes desejados, para isso foi verificado a partir de simulações que o valor de 1 mH seria adequado para toda faixa de testes. O indutor foi confeccionado no laboratório do nPEE na UDESC.

A escolha do núcleo foi realizada em função de alguns parâmetros principais, como a não saturação magnética para a faixa de valores de corrente de teste e a possibilidade de operação em valores elevados de frequência (100 kHz ou mais).

A empresa Magmattec comercializa produtos de núcleos do tipo de Pó de Ferro com gaps distribuídos, uma visão geral da permeabilidade em função da frequência

de vários tipos de materiais dos núcleos está apresentada na Figura 64. O modelo selecionado foi do tipo Pó de Ferro 02, com registro de item 14 na Figura 64.

Figura 64 – Núcleo do tipo de “Pó de Ferro 02” (item 14) da Magmattec.



Fonte: (MAGMATTEC, 2019).

O núcleo selecionado possui geometria toroidal e material do tipo de Pó de Ferro 02. A nomenclatura de referência para o modelo é MMT002T7713. Algumas características relevantes estão apresentadas na Tabela 17.

Tabela 17 – Propriedade do material.

Produto	AL (nH/esp ²)	A (cm ²)	Espiras (1 mH)	Área mínima (cm ²)
MMT002T7713	11,4	1,68	296	1,351

Fonte: adaptado de (MAGMATTEC, 2019).

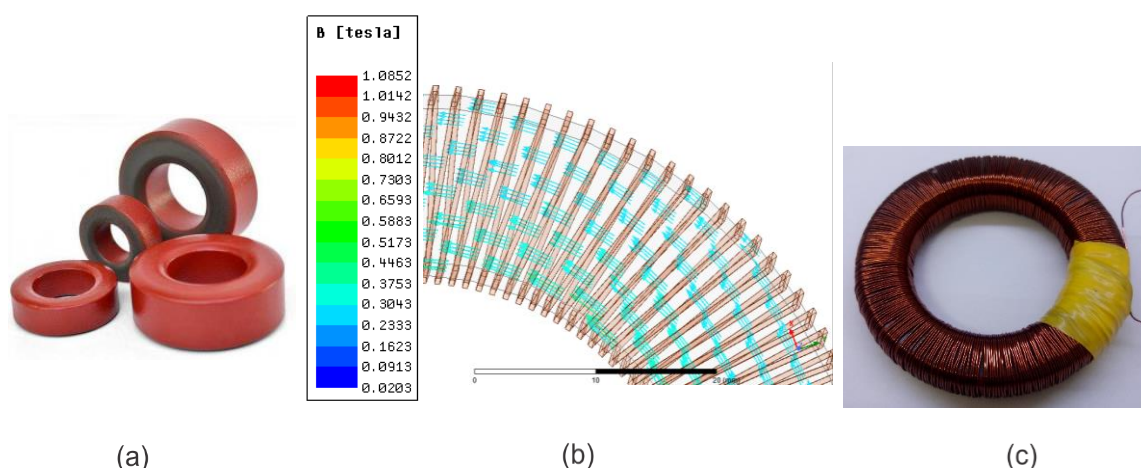
A imagem do núcleo MMT002T7713 está apresentada na Figura 65 (a).

A simulação computacional do indutor foi realizada através do programa computacional Ansys Maxwell. Algumas aproximações básicas foram empregadas

para facilitar a análise, as principais delas são: distribuições de espiras de forma perfeita ao longo do núcleo, não há material isolante nos fios, a área transversal do fio aproximada à forma quadrada. Com uma imposição de força magnetomotriz de corrente $\times$ número de espiras de $15A \times \text{espiras}$, foi possível verificar uma densidade média do fluxo magnético próximo a 0,3 T baseado no resultado da simulação. Uma parcela do indutor simulado juntamente com a representação do fluxo magnético existente no interior do indutor está apresentada na Figura 65 (b).

A construção do indutor de 1 mH foi realizada manualmente com 314 espiras de fio esmaltado AWG 25 em camada única. Uma visão do indutor de 1 mH está apresentada na Figura 65 (c).

Figura 65 – Detalhes do indutor: (a) núcleo do tipo de Pó de Ferro 02 da Magmattec; (b) simulação; (c) dispositivo construído de 1 mH.

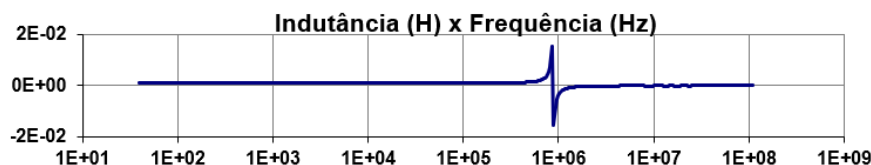


Fonte: (MAGMATTEC, 2019) e produção do autor.

O indutor de 1 mH foi submetido a teste no equipamento de análise de impedância disponível no laboratório da UDESC. A varredura em frequência foi realizada na faixa de 40 Hz a 110 MHz. A impedância na sequência foi expressa na forma de duas parcelas, são elas: indutiva e resistiva.

Uma visão geral da parcela indutiva da impedância resultante do teste está apresentada na Figura 66. O ponto de ressonância está próximo a 1 MHz.

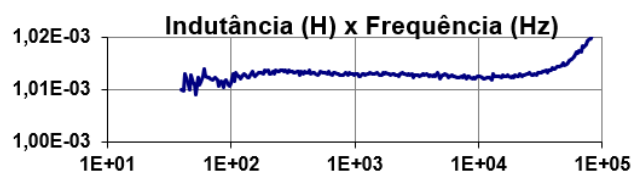
Figura 66 – Parcela indutiva do indutor projetado para 1 mH.



Fonte: Produção do autor.

Do comportamento da Figura 66 pode ser verificado o detalhe do valor da parcela indutiva com aproximadamente 1 mH antes da ocorrência da ressonância, para a faixa de frequência de 40 Hz a 100 kHz, conforme apresentado na Figura 67.

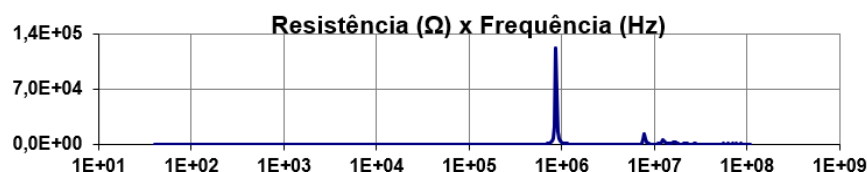
Figura 67 – Detalhe da parcela indutiva do indutor projetado para 1 mH.



Fonte: Produção do autor.

Uma visão geral da parcela resistiva da impedância resultante do teste está apresentada na Figura 68. O ponto de ressonância se encontra próximo a 1 MHz.

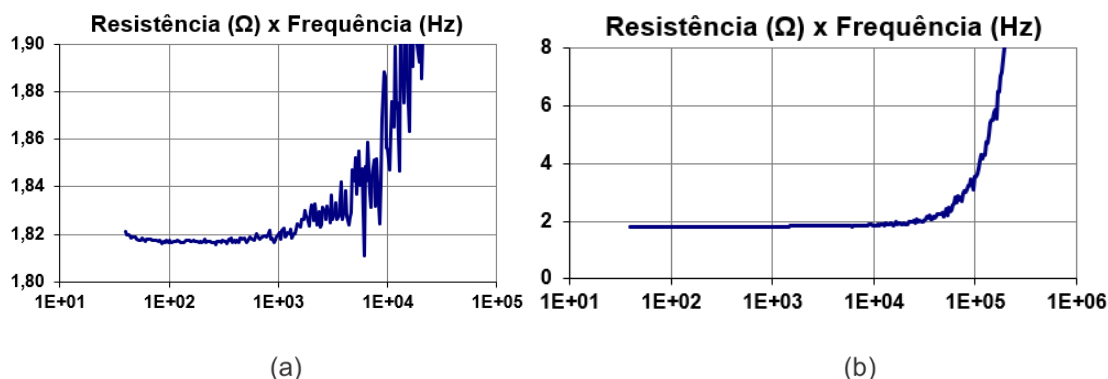
Figura 68 – Parcela resistiva do indutor projetado para 1 mH.



Fonte: Produção do autor.

O valor da parcela resistiva é menor que $1,9 \Omega$ para a faixa de frequência de 40 Hz a 10 kHz, conforme apresentado na Figura 69 (b). E menor que 4Ω para a faixa de frequência de 40 Hz a 100 kHz, conforme apresentado na Figura 69 (b).

Figura 69 – Detalhe na parcela resistiva do indutor: (a) de 40 Hz a 100 kHz; (b) de 40 Hz a 1 MHz.



Fonte: Produção do autor.

De forma análoga ao realizado para o indutor, os capacitores empregados no presente trabalho estão apresentados a seguir com alguns dos seus principais detalhes.

5.1.4 Capacitores

No presente trabalho foram empregadas três tecnologias de capacitores, sendo elas: capacitor de cerâmica, capacitor de filme de polipropileno e capacitor eletrolítico. Na Tabela 18 estão apresentados os detalhes de referência dos capacitores.

Tabela 18 – Lista de capacitores.

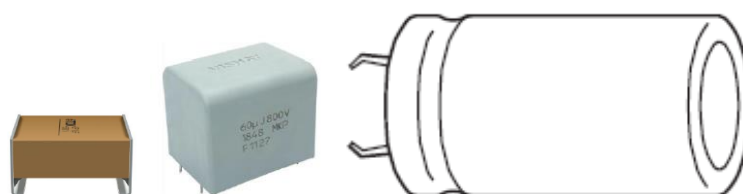
Descrição	Referência Figura 42	Capacitância	Fabricante	Modelo
Capacitor de cerâmica	C10	0,5 μ F	TDK	B58031U7504M062
Capacitor de filme de polipropileno	C5 a C9	8 μ F	Vishay	MKP1848580704K2
Capacitor eletrolítico de alumínio	C1 a C4	220 μ F	EPCOS	600 V 220 μ F Radial 35 x 50

Fonte: Produção do autor.

O emprego do capacitor de cerâmica se deu pela necessidade de utilização de um capacitor para semicondutores de comutação rápida. Desta forma, tem-se uma parcela da malha de potência formado por um caminho de comutação rápida através

do capacitor de cerâmica, com a finalidade de fornecer a energia necessária durante as transições do interruptor. Os capacitores de filme de polipropileno e os capacitores eletrolíticos de alumínio foram empregados para fornecer a maior parcela de energia ao circuito de potência, sendo assim, tem-se uma parcela da malha de potência formado por um caminho de comutação lenta, com a finalidade de fornecer a energia durante todo o período de teste. Com o emprego do conjunto de capacitores, pode-se avaliar a malha de potência como desconectado da fonte de fornecimento de energia, minimizando-se possíveis efeitos dos componentes parasitas dos cabos e das fontes. Uma visão de cada capacitor empregado no protótipo está apresentada na Figura 70.

Figura 70 – Capacitor de cerâmica (C10: C 7,8 x L 7,1 x A 4,5 mm), capacitor de filme de polipropileno (C5 a C9: C 32 x L 18 x A 28 mm) e capacitor eletrolítico de alumínio (C1 a C4: D 35 x A 45 mm).

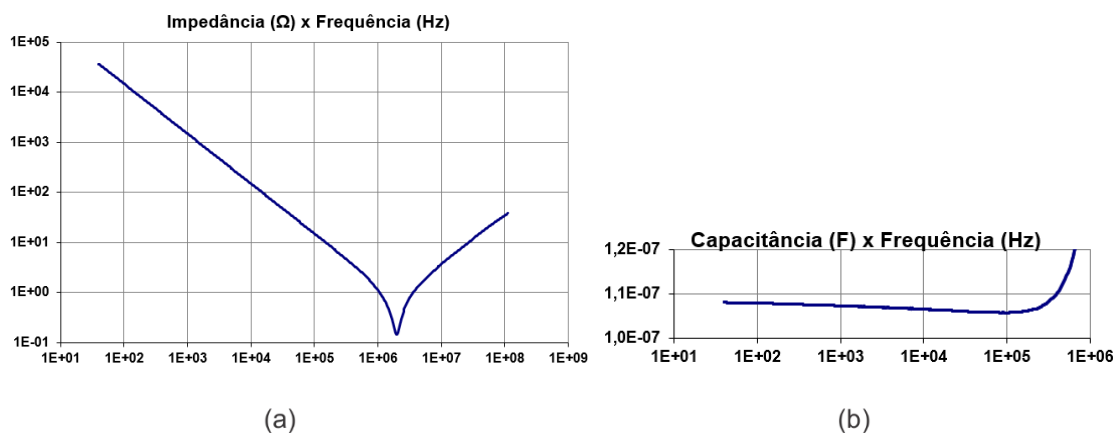


Fonte: (TDK), (VISHAY), (EPCOS).

Os capacitores foram submetidos a teste no equipamento de análise de impedância na faixa de 40 Hz a 110 MHz.

Uma visão geral da impedância do capacitor de cerâmica resultado do teste está apresentada na Figura 71 (a). Primeiramente, pode-se verificar o comportamento de redução da impedância em função do aumento da frequência, sendo que a faixa representa a região de comportamento capacitiva do componente. O ponto de mínimo que representa o ponto de ressonância se situa acima de 1 MHz. Em seguida, pode-se verificar o comportamento de incremento da impedância em função do aumento da frequência, sendo que a faixa representa a região de comportamento indutiva do componente. A capacitância do componente obtida no teste pode ser verificada graficamente na Figura 71 (b). O valor de aproximadamente 0,1 μF foi obtido e confirmado nas amostras de componentes disponíveis.

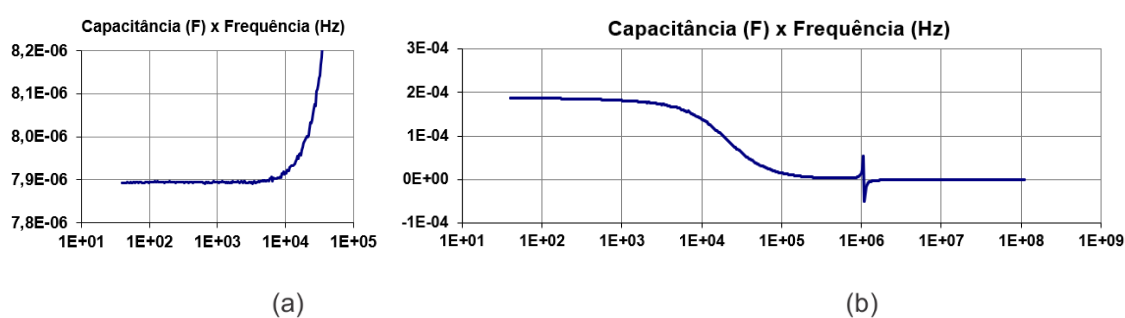
Figura 71 – Capacitor de cerâmica avaliado em função da frequência no equipamento analisador de impedância: (a) impedância; (b) detalhe na parcela capacitiva.



Fonte: Produção do autor.

A capacitância do capacitor de filme de polipropileno foi verificada com o valor de aproximadamente 7,9 μF , conforme pode ser visto na Figura 72 (a), sendo que se trata de um componente comercial de 8 μF . E no teste do capacitor eletrolítico de alumínio foi verificada com o valor de aproximadamente 180 μF , conforme pode ser visto em na Figura 72 (b), sendo que se trata de um componente comercial de 220 μF .

Figura 72 – Parcela de capacitância do capacitor avaliado em função da frequência no equipamento analisador de impedância: (a) capacitor de filme de polipropileno; (b) capacitor eletrolítico de alumínio.



Fonte: Produção do autor.

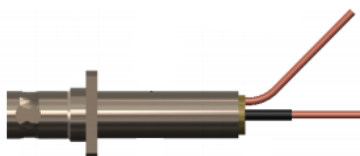
Outro componente utilizado no presente trabalho que possui particularidades relevantes a serem apresentadas é o resistor Rshunt, o qual está apresentado a seguir.

5.1.5 Resistor para sensoriamento da corrente

No presente trabalho foi empregado a tecnologia de Resistor Shunt do tipo *Current viewing resistor* (CVR). O componente foi selecionado para o protótipo por atender as necessidades de sensoriamento da corrente de *drain*, cita-se a confiabilidade na obtenção dos valores pela acurácia no valor de resistência e a banda passante de 2 GHz.

O componente empregado foi o SDN-414-10 da empresa T&M Research, o valor da resistência foi informado precisamente 0,09999 Ω , aproximadamente o valor selecionado de 0,1 Ω .

Figura 73 – Resistor Shunt.

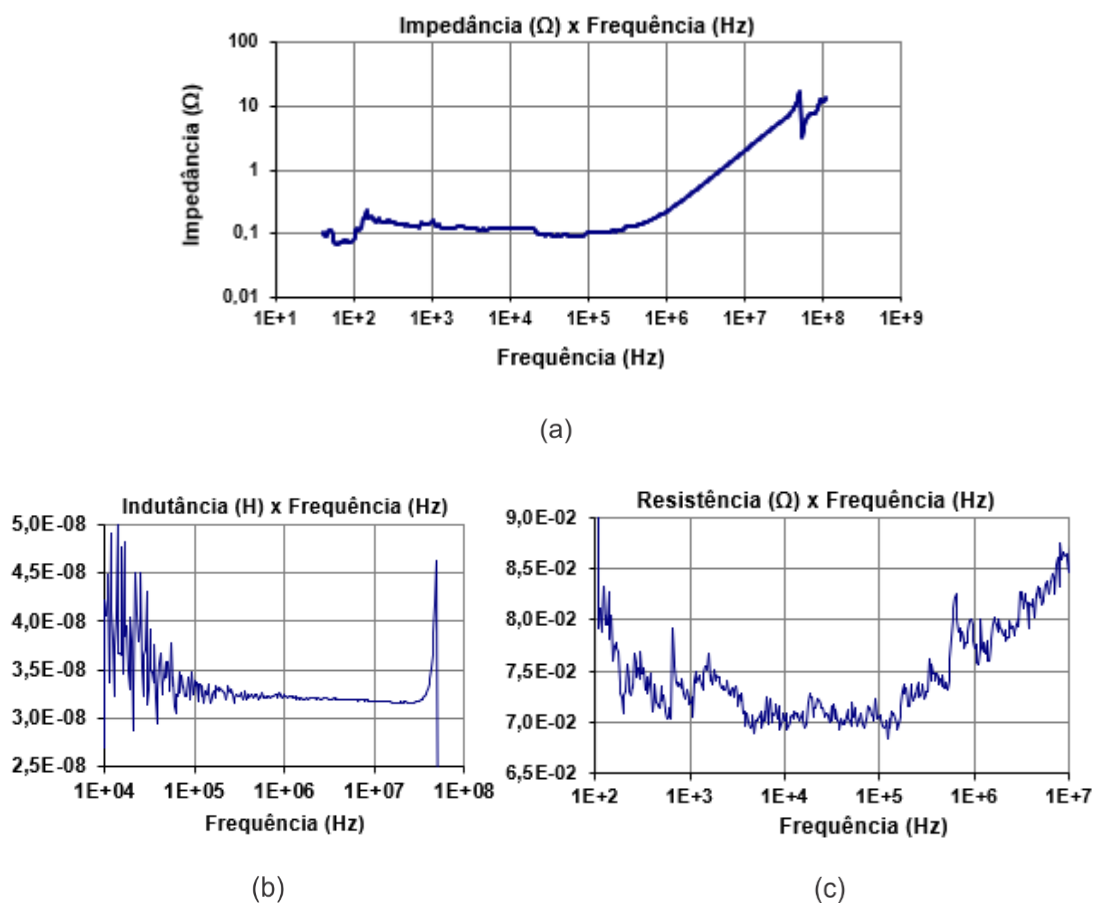


Fonte: (T&M RESEARCH PRODUCTS, 2015).

O resistor foi submetido a teste no equipamento de análise de impedância na faixa de 40 Hz a 110 MHz, sendo que nos testes com aplicação de frequências mais baixas houve imperfeições resultantes de valores pequenos da grandeza medida. Uma visão geral da impedância do resistor shunt resultado do teste está apresentada na Figura 74 (a).

O valor da impedância de aproximadamente 0,1 Ω para a faixa de frequência abaixo de 1 MHz representa uma faixa com característica resistiva. Para o teste de impedância nas frequências superiores está presente um aumento do valor de impedância de acordo com o aumento da frequência, verificando-se uma faixa com característica indutiva no componente. A indutância do componente obtida no teste pode ser verificada graficamente na Figura 74 (b), por exemplo, para 1 MHz pode ser visto o valor 32 nH. A resistência do componente também foi verificada e está presente na forma gráfica na Figura 74 (c), para 1 MHz pode ser verificado o valor 77 m Ω .

Figura 74 – Resistor shunt avaliado em função da frequência no equipamento analisador de impedância: (a) impedância; (b) detalhe na parcela indutiva; (c) detalhe na parcela resistiva.



Fonte: Produção do autor.

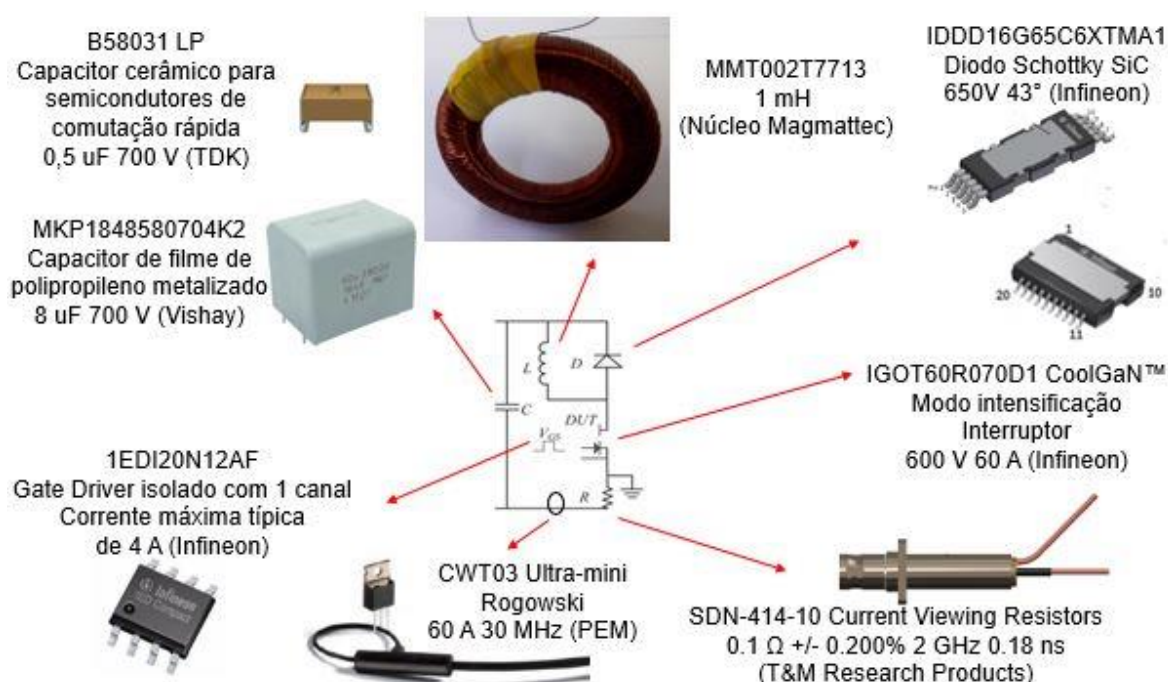
Apresentados os principais componentes empregados no presente trabalho, na sequência estão apresentados os principais detalhes de projeto dos protótipos.

5.2 DPT VERSÃO 1

O primeiro protótipo projetado e construído foi denominado para referência no presente trabalho como DPT 1. O DPT 1 pode ser dividido em dois principais estágios responsáveis pela função DPT, são eles: potência e disparo de *gate*. Os principais componentes envolvidos estão apontados na Figura 75. Adicionalmente foi incorporado um circuito auxiliar (*clamping circuit*) para a medição de pequenos valores da tensão V_{ds} que ocorrem durante a condução do interruptor.

O estágio de potência é composto pelos componentes: interruptor, indutor, diodo, capacitores e resistor. Primeiramente, o interruptor de **GaN** denominado como G1 é o principal responsável pela ação de comutação, o mesmo se encontra centralizado na Figura 76. Logo acima do interruptor G1 na Figura 76 estão presentes o ponto de conexão P3 para conexão do indutor e o diodo D1. O indutor (P3) é responsável pela atuação como fonte de corrente durante os testes. E o diodo D1 responsável pela ação de roda livre conduzindo a corrente do indutor quando o interruptor não estiver em condução. À direita do interruptor G1 na Figura 76 estão presentes os capacitores, sendo um do tipo de cerâmica de $0,5 \mu\text{F}$ (C10), cinco de polipropileno de $8 \mu\text{F}$ (C5 a C9) e quatro de eletrolítico de alumínio de $220 \mu\text{F}$ (C1 a C4), sendo C1 a C10 apresentados na Figura 46 e representados por C na Figura 75. Por fim, o resistor R9 localizado logo abaixo do interruptor G1 completa o estágio de potência. O resistor R9 foi empregado com a finalidade de obter os valores de corrente de *source* I_s do interruptor G1.

Figura 75 – Principais componentes empregados no DPT1.



Fonte: Produção do autor.

O estágio de disparo de *gate* pode ser basicamente definido pelos componentes: CI de *gate driver* e componentes auxiliares de ação de disparo. Primeiramente, como

o interruptor G1 é o principal responsável pela ação de comutação, o mesmo representa a união entre os dois estágios. A partir de disparos no terminal de *gate* e com caminho de retorno através do terminal *kelvin source*, os sinais providos pelo estágio de disparo de *gate* destinados ao interruptor acarretam nas ações de início e término da condução no estágio de potência. Logo a esquerda do interruptor G1 estão presentes os componentes auxiliares de ação de disparo, os resistores e o capacitor responsáveis pela ação dinâmica R2, R5, C5, e pela ação estática, resistor R8. Por fim, o CI *gate driver* denominado de U1 localizado a esquerda do interruptor G1 completa o estágio de disparo de *gate*.

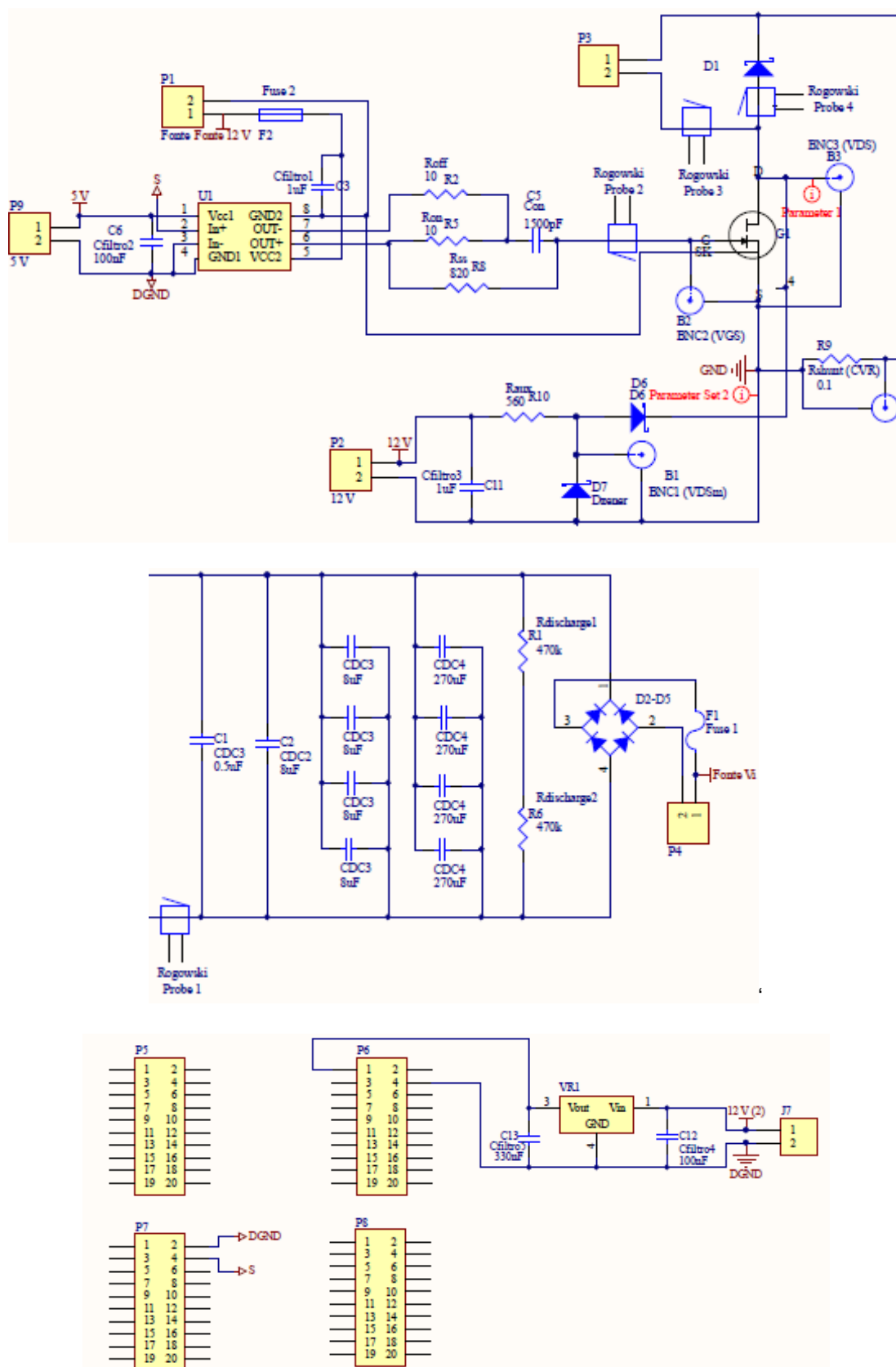
O circuito auxiliar (*clamping circuit*) para a medição de pequenos valores da tensão V_{ds} que ocorrem durante a condução do interruptor é composto pelos componentes: C11, R10, D6 e D7.

No circuito do DPT 1 foram previstos pontos de medição de tensão denominados de B1, B2, B3 que são pontos com conexão de terminal BNC e pontos de medição de corrente com a ponteira Rogowski, os quais foram denominados de *Rogowski Probe* 1 a 4 na Figura 76.

As fontes de fornecimento de energia ao circuito estão denominadas como pontos de conexão, são eles: P9 à fonte de 5 V para alimentação do lado 1 do *gate driver*; P1 à fonte de 12 V para alimentação do lado 2 do *gate driver*; P2 à fonte de 12 V para alimentação isolada do circuito auxiliar; e P4 à fonte de alimentação de potência de 0 a 600 V. Na conexão P4 foi previsto o emprego de uma ponte retificadora para possibilitar também utilizações de fontes de tensão de CA, por exemplo, o variador de tensão senoidal empregando autotransformador “varivolt”, ou ainda, fontes eletrônicas diversas de CA e CC.

Para a geração dos sinais de disparo de *gate* foi previsto o emprego de um DSP, sendo a conexão diretamente no protótipo, com encaixe dos terminais do DSP diretamente nos barramentos com denominação de P5, P6, P7 e P8. conforme pode ser visto Figura 76. Os terminais de geração do sinal do DSP e a referência DGND foram denominados de pontos 4 e 2 no barramento P7, sendo os pontos conectados aos terminais IN+ e IN- do lado de entrada do *CI gate driver*.

Figura 76 – Circuito completo da placa de DPT 1.



Fonte: Produção do autor.

Do circuito completo do DPT 1 podem ser resumidos os principais componentes empregados com maior relevância no estágio de potência, os quais acabam sendo responsáveis pela formação de uma malha de potência. Os componentes estão descritos na Tabela 19 juntamente com as respectivas informações de referência no circuito da Figura 76.

Tabela 19 – Lista dos principais componentes da malha de potência no DPT 1.

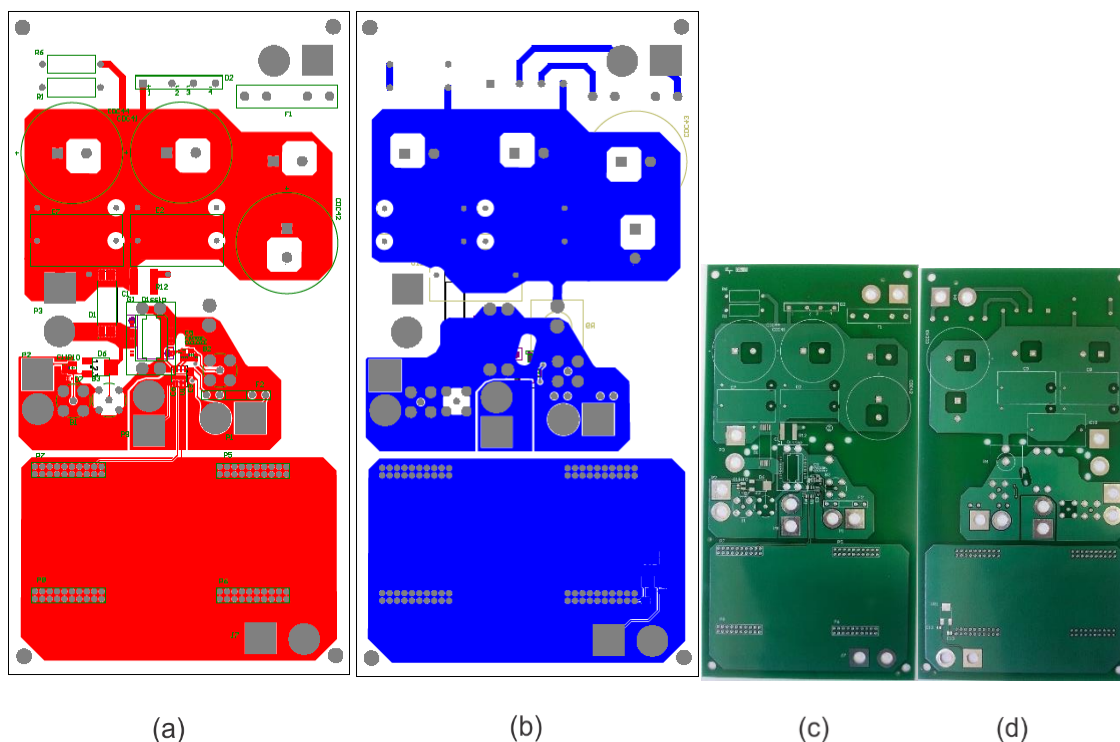
Referência	Componente	X	Descrição
G1	Interruptor	1	GaN HEMT - IGOT60R070D1
D1	Diodo	1	Diodo SiC Schottky 650V 43A IDDD16G65C6
R9	Resistor	1	Resistor Shunt (BNC) 0,1 Ω SDN-414-10
C1	Capacitor	1	Capacitor de cerâmica 700 V 0,5 μ F B58031U7504M062
C2, C7, C8, C9, C10	Capacitor	5	Filme de polipropileno metalizado 700 V 8 μ F MKP1848580704K2 18 x 32
CDC41, CDC42, CDC43, CDC44	Capacitor	4	Capacitor eletrolítico de alumínio B43541 600 V 220 μ F Radial 35 x 45

Fonte: Produção do autor.

Com a definição do circuito e a lista dos principais componentes da malha de potência do DPT 1, prosseguiu-se na elaboração do *layout* da placa. Para obter um *layout* apropriado para a aplicação do DPT foram necessárias aplicações de regras durante a elaboração. A principal regra aplicada foi a redução das distâncias entre os componentes principais da malha de potência para obter menores comprimentos de trilhas, o que impacta diretamente nos componentes parasitas do *layout* da placa, como a indutância das trilhas. De forma similar, na malha de disparo de *gate* também foram previstos a utilização dos componentes auxiliares de disparo bastante próximos do interruptor, o mais próximo que se julgou possível no momento de elaboração do projeto. O projeto de *layout* da placa foi desenvolvido com auxílio do programa computacional **Altium**. A vista superior do *layout* está apresentada na Figura 77 (a) e a vista inferior do *layout* está apresentada na Figura 77 (b).

Com a definição do *layout*, a placa foi confeccionada por empresa especializada na confecção. A vista superior da placa confeccionada está apresentada na Figura 77 (c) e a vista inferior da placa confeccionada está apresentada na Figura 77 (d).

Figura 77 – DPT 1: (a) *layout* vista superior; (b) *layout* vista inferior; (c) placa confeccionada vista superior; (d) placa confeccionada vista inferior.



Fonte: Produção do autor.

Com o *layout* definido, avaliou-se os componentes parasitas presentes. Para a análise foram utilizados recursos do programa computacional **Q3D extractor** da Ansys.

De forma resumida, para a obtenção dos resultados no **Q3D extractor** foram necessários alguns passos preliminares. Primeiramente, com o *layout* da placa totalmente finalizado, buscou-se resumir o *layout* da placa para permitir a obtenção de um modelo mais simplificado, para facilitar a convergência no **Q3D extractor**. A simplificação foi realizada diretamente no programa computacional **Altium**, mas também é possível diretamente no programa **Q3D extractor**. Manteve-se somente as trilhas da malha de potência, excluindo-se as trilhas de sinal conectadas em diferentes potenciais elétricos que para a situação tem impacto desprezível na

avaliação final. Os componentes inseridos sobre a placa também foram excluídos. Detalhes como as vias e furos metalizados provendo a conexão entre os dois lados da placa foram mantidos. Na sequência, com o layout da placa resumido, ele foi transferido do **Altium** para o **Q3D extractor**, para isso foi utilizada uma ferramenta disponível em ambos com função de exportação/importação do tipo CAD. Com o *layout* da placa resumido já importado no **Q3D extractor**, alguns principais ajustes foram necessários, como o ajuste das propriedades dos materiais utilizados, por exemplo, as propriedades eletromagnéticas do cobre que compõem as trilhas. Os valores das propriedades foram encontrados diretamente com os fabricantes dos materiais. Também foram checados detalhes do modelo, verificando-se possíveis erros do modelo 3D (referenciado como *3D model*), por exemplo, possíveis sobreposição de materiais que foram ocasionadas por problemas na exportação/importação. Na sequência foi realizado a atribuição da excitação (*source* e *sink*), definindo-se as superfícies que receberiam a excitação, por exemplo, a entrada do sinal em um primeiro ponto de uma trilha definido como ponto inicial e a saída do sinal em um segundo ponto de uma trilha definido como o ponto final (referenciado como *Boundaries and Excitations*). Os ajustes da resolução foram mantidos no modo automático (referenciado como *Mesh Operations*), com o método da configuração de análise (referenciado como *Analysis Setup*) ajustado conforme a solução desejada (*AC Resistance/inductance*, *Capacitance/conductance* e *DC Resistance/inductance*). Algumas análises foram realizadas com auxílio da ferramenta de variação de passo, como a variação da frequência (referenciado como *sweep analysis*).

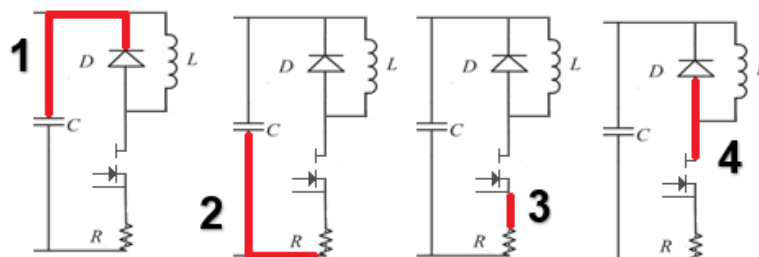
Com auxílio do **Q3D extractor**, os componentes parasitas da placa foram principalmente avaliados na malha de potência do circuito DPT 1, com o objetivo de obter um modelo apurado e auxiliar na compreensão dos fenômenos existentes.

As principais parcelas dos componentes parasitas na malha de potência do circuito DPT envolvidas no *layout* da placa podem ser divididas da seguinte forma:

- 1 - Conexão do **ponto positivo do capacitor** para o **catodo do diodo**;
- 2 - Conexão do **ponto negativo do capacitor** para o **lado 1 do resistor**;
- 3 - Conexão do ponto **lado 2 do resistor** para o **Source do interruptor**;
- 4 - Conexão do ponto **Drain do interruptor** para o **catodo do diodo**.

As principais parcelas definidas de 1 a 4 que representam os componentes parasitas na malha de potência do circuito DPT envolvidas no *layout* da placa estão apresentadas na Figura 78.

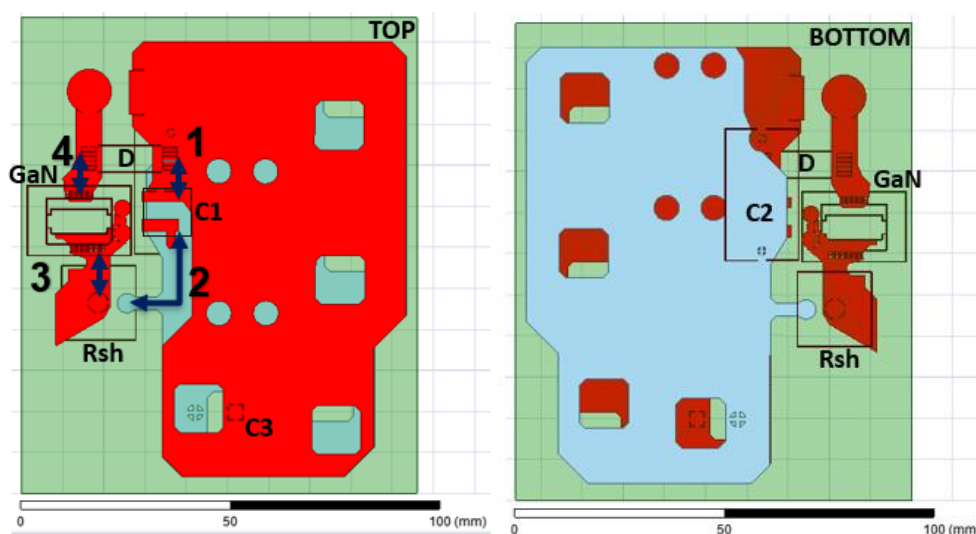
Figura 78 – Principais parcelas de componentes parasitas na malha Capacitor-GaN-Diodo.



Fonte: Produção do autor.

As principais parcelas definidas de 1 a 4 apresentadas na forma de circuito na Figura 78 podem ser vistas na forma de *layout* de placa na Figura 79.

Figura 79 – Principais parcelas de componentes parasitas na malha Capacitor-Rshunt-GaN-Diodo.



Fonte: Produção do autor.

O resultado da avaliação empregando o **Q3D extractor** está apresentado na forma de valores de resistência e indutância. Os valores foram obtidos entre os pontos de conexão de 1 a 4 no *layout* da placa, com isso, também foi possível obter o valor total da malha de potência. As verificações ocorreram para as operações com as frequências de 100 kHz e 100 MHz.

Com análise de 100 kHz, no trecho denominado de 1 que interliga os pontos positivo do capacitor C (+) e catodo do diodo D (K), tem-se o valor de indutância verificado entre os pontos de 1,5 nH. No trecho 2 que interliga os pontos negativo do capacitor C (-) e resistor R (+), tem-se o valor de indutância entre os pontos de 10,8 nH. Na situação exposta, o valor de indutância do trecho 2 é 7,2 vezes maior que do trecho 1. A diferença pode ser basicamente relacionada com a maior distância e a forma de interligação que possui uma via adicional no trecho 2. Para o trecho 3 que interliga os pontos negativo do resistor R (-) e *source* do interruptor Q (S) foi obtido 3,2 nH. Já para o trecho 4 que interliga o anodo do diodo D (A) e o *drain* do interruptor Q (D) foi obtido 2,3 nH. A partir dos valores obtidos dos trechos de 1 a 4, ou seja, 1,5 nH, 10,8 nH, 3,2 nH e 2,3 nH, obteve-se o valor total da indutância da malha de potência, sendo da situação citada de 17,8 nH. Os valores citados e os demais valores verificados podem ser observados na Tabela 20

Tabela 20 – Valores de resistência e indutância obtidos entre pontos de conexão.

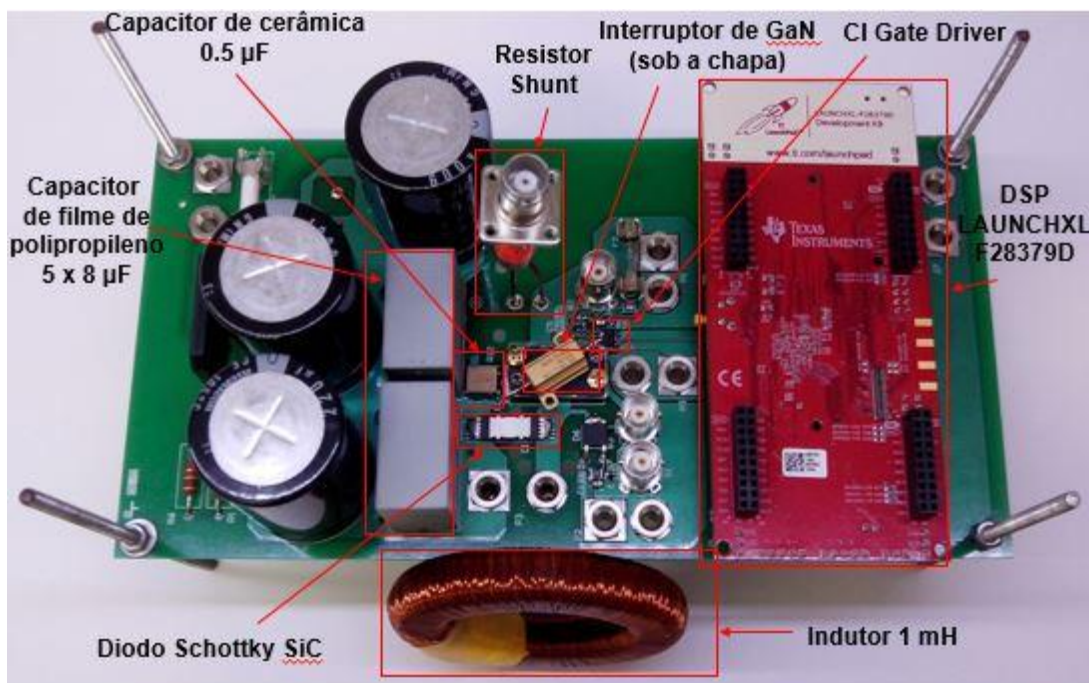
DPT		v. 1			
Parcela		L100 kHz (nH)		L100 MHz (nH)	
		R100 kHz (mΩ)		R100 MHz (mΩ)	
1	C (+) : D (K)	1,5		1,2	
		0,6		5,2	
2 3	C (-) : R(+) R (-) : Q (S)	10,8	3,2	9,8	2,9
		2,9	1,1	24,9	8,1
4	D (A) : Q (D)	2,3		1,9	
		1,2		9,1	
Total		17,8		15,8	
		5,8		47,3	

Fonte: Produção do autor.

Na sequência foi realizada a montagem do protótipo, com a inserção dos componentes na placa e inúmeros ajustes ao longo do processo. Após todo o

processo de montagem, obteve-se o protótipo finalizado na forma conforme está apresentado na Figura 80.

Figura 80 – Protótipo DPT 1.



Fonte: Produção do autor.

Com o protótipo elaborado, seguiu-se com a execução dos testes, para isso foram necessários alguns equipamentos, sendo os principais utilizados ao longo do trabalho citados na sequência, logo após apresentação dos demais protótipos.

A partir do estudo da primeira versão do protótipo DPT e com o objetivo de aprimorar o circuito de teste, algumas alterações de projeto foram executadas para possibilitar um novo protótipo DPT, com denominação de DPT 2. As principais diferenças de projeto entre as duas versões estão descritas na sequência.

5.3 DPT VERSÃO 2

O segundo protótipo projetado e construído foi denominado para referência no presente trabalho como DPT 2. A necessidade de elaborar uma segunda versão surgiu durante o estudo da primeira versão, de forma resumida, detalhes em estudo de projeto e resultados experimentais apontavam possibilidades de melhorias. Com

isso, engajou-se no sentido de obter um novo protótipo com algumas alterações e vislumbrando melhorias nos resultados.

De forma similar ao DPT 1, o DPT 2 pode ser dividido em dois principais estágios responsáveis pela função DPT, são eles: potência e disparo de *gate*.

Ao se comparar o DPT 1 com o DPT 2, algumas simplificações foram implementadas para a segunda versão, como a não utilização do resistor *shunt*, a não inserção de pontos de medição para a ponteira Rogowski e a redução da quantidade de capacitores eletrolíticos de alumínio e não utilização dos capacitores de filme de polipropileno. Com as simplificações realizadas no projeto do DPT 2 quando comparado ao projeto do DPT 1, possibilitou-se um projeto de *layout* melhorado, com redução dos comprimentos de trilhas, portanto, buscando-se uma redução nos componentes parasitas no *layout* da placa. Além disso, o resistor *shunt* também contribuía com componentes parasitas na malha de potência, visto que não é componente ideal e a sua curva de impedância em função da frequência já foi apresentada no detalhamento dos principais componentes. De forma simplificada, os principais componentes envolvidos no DPT 2 estão apontados na Figura 81. Outra diferença ainda não menciona é que diferentemente do DPT 1, no DPT 2 não foi incorporado um circuito auxiliar (*clamping circuit*), o que torna a segunda versão ainda mais simplificada.

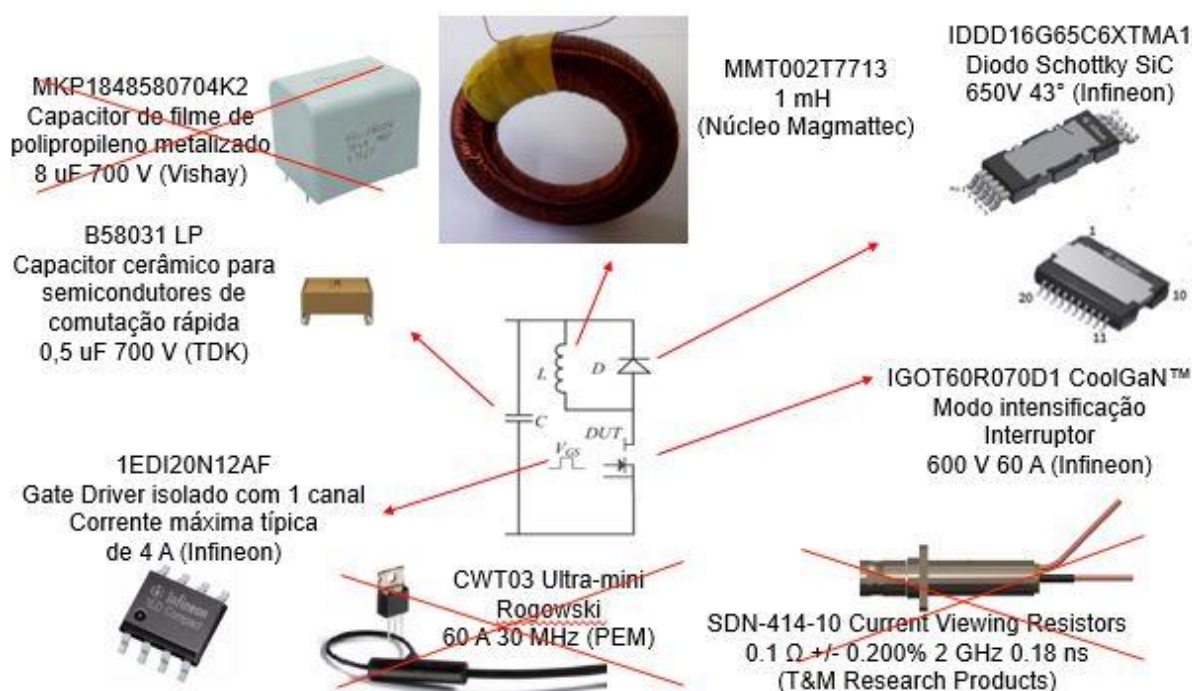
De forma similar ao DPT 1, no DPT 2 também é possível dividir em dois principais estágios responsáveis pela função DPT, são eles: potência e disparo de *gate*.

O estágio de potência é composto pelos componentes: interruptor, indutor, diodo e capacitores. O interruptor de **GaN** denominado como G1 é o principal responsável pela ação de comutação, o mesmo se encontra centralizado na Figura 82. Logo acima do interruptor G1 estão presentes o ponto de conexão P4 para conexão do indutor e o diodo D1. Os capacitores completam o estágio de potência, sendo um (ou dois) do tipo de cerâmica de 0,5 μF e um de eletrolítico de alumínio de 220 μF .

Os componentes empregados no estágio de disparo de *gate* não foram alterados, eles podem ser basicamente definidos pelos componentes: CI de *gate driver* e componentes auxiliares de ação de disparo. Os componentes auxiliares são os resistores e o capacitor responsáveis pela ação dinâmica R1, R2, C5, e pela ação estática, resistor R3. O CI *gate driver* foi novamente denominado de U1.

No circuito do DPT 2 não foram previstos pontos de medição de tensão com conexão de terminal BNC e pontos de medição de corrente com a ponteira Rogowski, o que permitiu aprimoramentos durante a elaboração do projeto de *layout* para a segunda versão de protótipo.

Figura 81 – Principais componentes empregados no DPT 2.



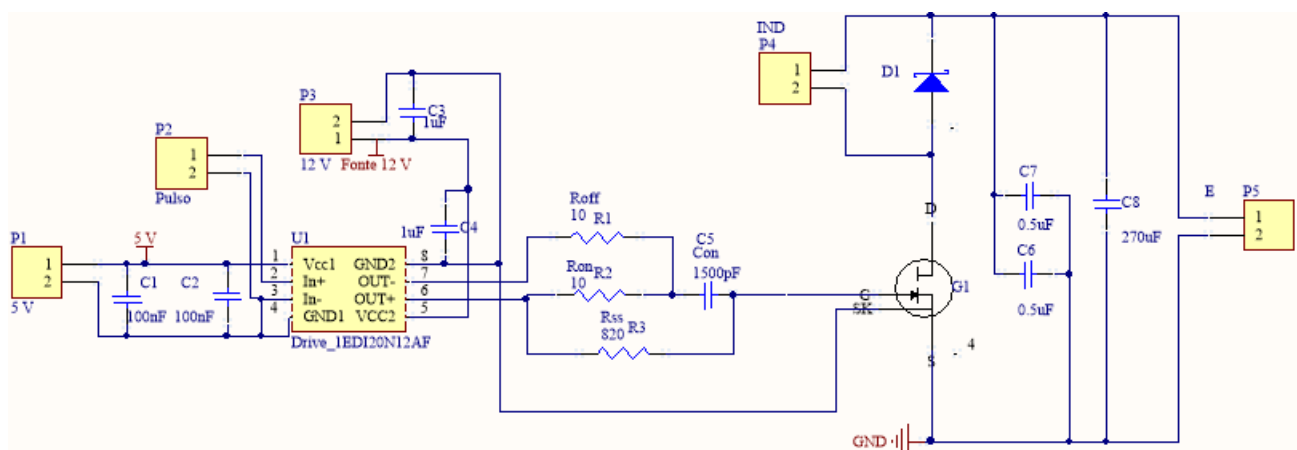
Fonte: Produção do autor.

As fontes de fornecimento de energia ao circuito estão denominadas como pontos de conexão, são eles: P1 à fonte de 5 V para alimentação do lado 1 do *gate driver*; P3 à fonte de 12 V para alimentação do lado 2 do *gate driver*; e P5 à fonte de alimentação de potência de 0 a 600 V. Diferentemente do DPT 1, para o DPT 2 não foi previsto o emprego de uma ponte retificadora, portanto não é possível operar com fontes de CA.

A geração dos sinais de disparo de *gate* foram obtidas a partir do mesmo DSP empregado no DPT 1, mas para o DPT 2 não foi previsto um local para encaixe do DSP diretamente sobre o protótipo, sendo assim, a conexão entre o DSP e o protótipo foi realizada por condutores de sinal.

O circuito completo do protótipo de DPT 2 está apresentado na Figura 82.

Figura 82 – Circuito completo do DPT 2.



Fonte: Produção do autor.

Do circuito completo do DPT 2 podem ser resumidos os principais componentes responsáveis pela formação de uma malha de potência, descritos na Tabela 21.

Tabela 21 – Lista dos principais componentes da malha de potência no DPT 2.

Referência	Componente	X	Descrição
G1	Interruptor	1	GaN HEMT - IGOT60R070D1
D1	Diodo	1	Diodo SiC Schottky 650V 43A IDDD16G65C6
C6	Capacitor	1	Capacitor de cerâmica 700 V 0,5 μ F B58031U7504M062
C8	Capacitor	1	Capacitor eletrolítico de alumínio B43541 600 V 220 μ F Radial 35 x 45

Fonte: Produção do autor.

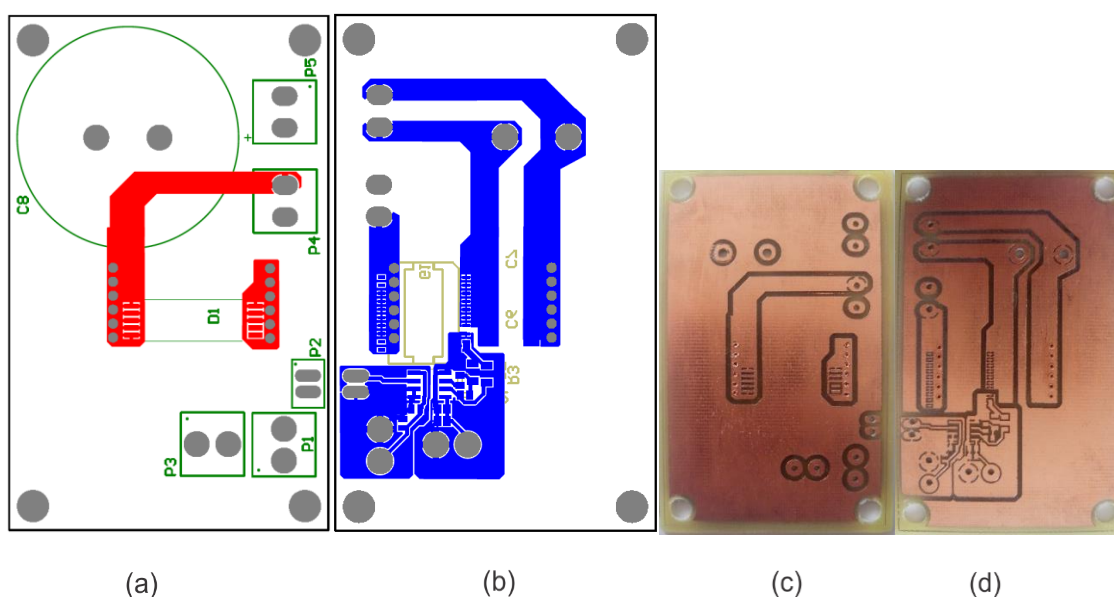
Com a definição do circuito e a listagem dos principais componentes da malha de potência do DPT 2, seguiu-se com a elaboração do *layout* da placa. Para obter um *layout* com melhorias na segunda versão do DPT quando comparado com a primeira versão, algumas novas considerações foram necessárias durante a elaboração do *layout*, como o reaproveitamento de várias regras empregadas na primeira versão.

Primeiramente, a malha de potência do DPT 1 foi projetado com o caminho de retorno da corrente principal (corrente de *source* I_s) de forma lateral, ou seja, praticamente toda a malha de potência se encontra do mesmo lado da placa

lateralmente. Já no DPT 2, a malha de potência tem o caminho de retorno da corrente principal (corrente de *source Is*) no lado oposto da placa. Buscou-se também reduzir ainda mais as distâncias entre os componentes principais da malha de potência para possibilitar ainda mais a redução de comprimentos de trilhas o que reduz efeitos parasitas. A redução das distâncias se tornou possível devido à redução de componentes, por exemplo, o resistor shunt que foi removido nessa versão. Outra importante contribuição é a reorganização das posições dos componentes em ambos os lados da placa. O *layout* da placa foi desenvolvido com auxílio do programa computacional **Altium**. As vistas superior e inferior do *layout* versão 2 estão apresentadas na Figura 83 (a) e na Figura 83 (b).

A placa foi confeccionada com auxílio de máquina de prototipagem disponível no laboratório. A vista superior da placa confeccionada está apresentada na Figura 83 (c) e a vista inferior da placa confeccionada está apresentada na Figura 83 (d).

Figura 83 – DPT 2: (a) *layout* vista superior; (b) *layout* vista inferior; (c) placa confeccionada vista superior; (d) placa confeccionada vista inferior.



Fonte: Produção do autor.

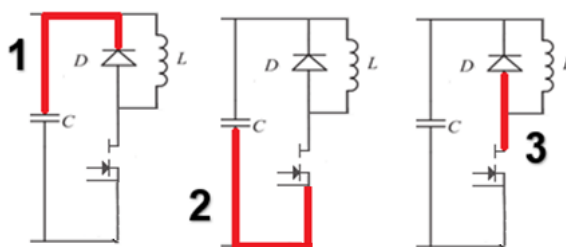
Com o *layout* definido, avaliou-se os componentes parasitas presentes. Os componentes parasitas da placa foram principalmente avaliados na malha de potência do circuito DPT 2, com o objetivo de servir como comparativo com a primeira versão e auxiliar na compreensão dos fenômenos existentes. Para a análise novamente foram utilizados recursos do programa computacional **Q3D Extractor**.

As principais parcelas dos componentes parasitas na malha de potência do circuito DPT 2 envolvidas no *layout* da placa podem ser divididas da seguinte forma:

- 1 - Conexão do **ponto positivo do capacitor** para o **catodo do diodo**;
- 2 - Conexão do **ponto negativo do capacitor** para o **Source** do interruptor;
- 3 - Conexão do ponto **Drain** do interruptor para o **catodo do diodo**.

As principais parcelas envolvidas no *layout* da placa que representam os componentes parasitas na malha de potência estão apresentadas na Figura 84.

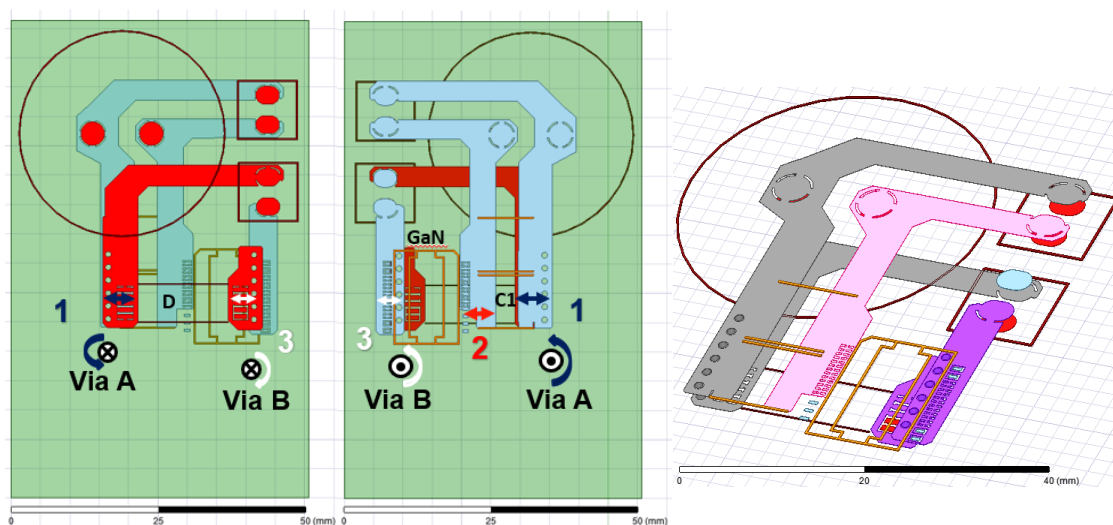
Figura 84 – Principais parcelas de componentes parasitas na malha Capacitor-GaN-Diodo.



Fonte: Produção do autor.

As principais parcelas definidas de 1 a 3 apresentadas na forma de circuito na Figura 84 podem ser vistas na forma de *layout* na Figura 85.

Figura 85 – Principais parcelas de componentes parasitas na malha Capacitor-GaN-Diodo.



Fonte: Produção do autor.

A avaliação dos componentes parasitas do DPT 2 foi realizada de forma similar ao do DPT 1 para permitir o comparativo. O resultado do DPT 2 empregando o **Q3D extractor** está apresentado na forma de valores de resistência e indutância. Os valores foram obtidos entre os pontos de conexão de 1 a 3 no *layout* da placa, com isso foi possível obter o valor total da malha de potência. As verificações também foram realizadas nas operações com as frequências de 100 kHz e 100 MHz.

Com análise de 100 kHz, pode-se comparar os trechos do DPT 1 com os do DPT 2. Primeiramente, para o trecho 1 que interliga os pontos positivo do capacitor C (+) e catodo do diodo D (K), o valor de indutância do trecho 1 obtido no DPT 1 foi de 1,5 nH. Já no DPT 2 foi de 0,5 nH. A diferença representa somente nesse trecho uma redução de 3 vezes. Outros trechos também foram reduzidos, como do DPT 1 de 14 nH (10,8 nH + 3,2 nH) para o DPT 2 de 0,5 nH e o último trecho do DPT 1 de 2,3 nH para o DPT 2 de 0,6 nH. A soma dos trechos do DPT 1 na situação foi de 17,8 nH, já no DPT 2 foi de 1,6 nH, uma redução de 11 vezes na indutância total da malha de potência. Os valores verificados podem ser observados na Tabela 22.

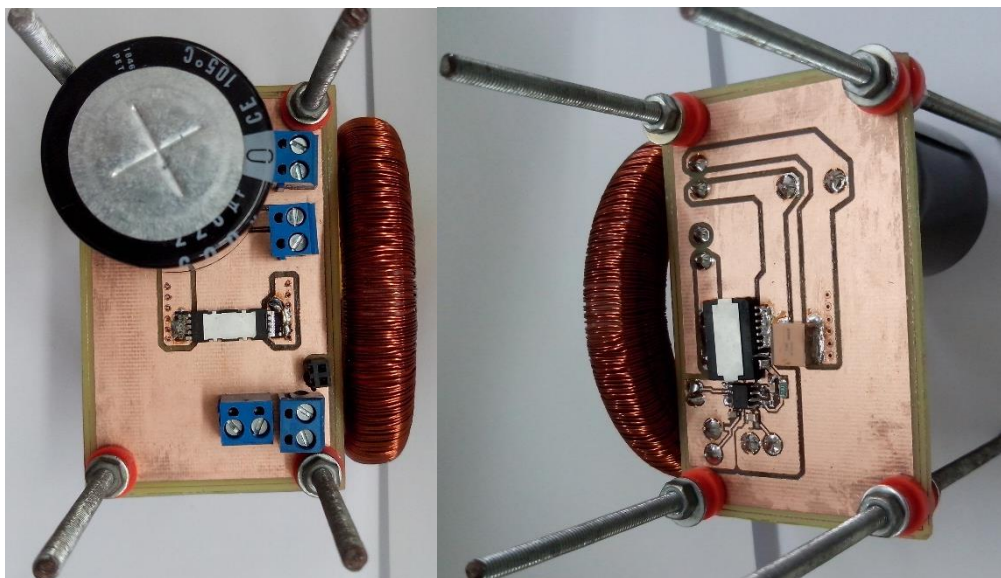
Tabela 22 – Resistência e indutância entre pontos de conexão do DPT 2.

DPT	versão 1		versão 2	
Parcela	L100 kHz (nH)	L100 MHz (nH)	L100 kHz (nH)	L100 MHz (nH)
	R100 kHz (mΩ)	R100 MHz (mΩ)	R100 kHz (mΩ)	R100 MHz (mΩ)
C (+) : D (K)	1,5	1,2	0,5	0,4
	0,6	5,2	0,3	2,1
C (-) : Q (S)	10,8 3,2	9,8 2,9	0,5	0,4
	2,9 1,1	24,9 8,1	0,3	1,8
D (A) : Q (D)	2,3	1,9	0,6	0,5
	1,2	9,1	0,3	2,3
Total	17,8	15,8	1,6	1,3
	5,8	47,3	0,9	6,2

Fonte: Produção do autor.

Com o novo *layout* elaborado e com a placa confeccionada no núcleo de processamento de energia elétrica (nPEE) na Universidade do estado de Santa Catarina (UDESC), realizou-se a montagem do protótipo DPT 2. As visões de ambos os lados do protótipo construído estão apresentadas na Figura 86.

Figura 86 – Protótipo DPT 2.



Fonte: Produção do autor.

Com o protótipo DPT 2 elaborado, seguiu-se com a execução dos testes. Os equipamentos necessários estão listados após a apresentação do último protótipo.

Com o engajamento no estudo da primeira versão do protótipo DPT 1 e com o aprimoramento no estudo da segunda versão do protótipo DPT 2, ainda surgiu a possibilidade de um estudo de um terceiro protótipo com objetivo de operar em Meia Ponte. A denominação de DPT Meia Ponte foi utilizada na sequência para referenciar o terceiro protótipo. Os detalhes de projeto do protótipo Meia Ponte estão descritos na sequência.

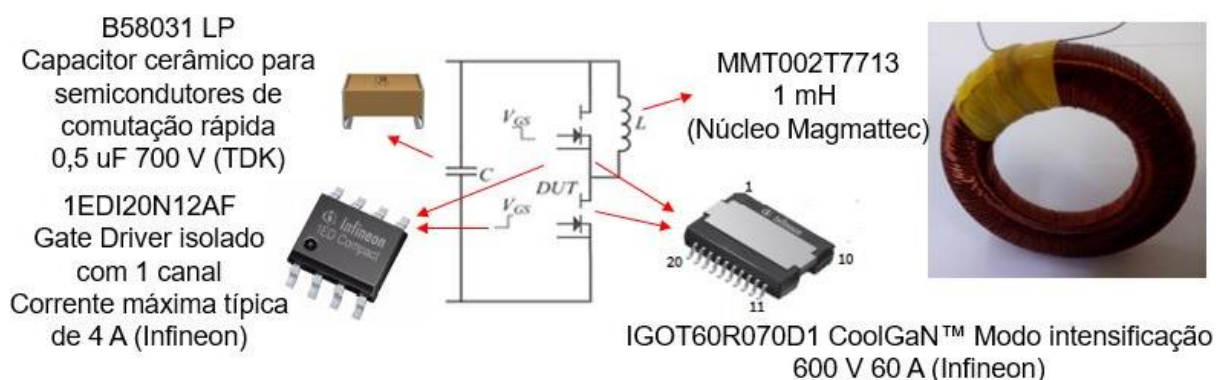
5.4 DPT MEIA PONTE

O terceiro protótipo projetado e construído foi denominado para referência no presente trabalho como DPT Meia Ponte. O DPT Meia Ponte é bastante similar ao DPT 1 e DPT2, a principal diferença está no circuito de potência, no qual um segundo

interruptor foi empregado e substituiu o diodo de roda livre. O DPT Meia Ponte também pode ser dividido em dois principais estágios responsáveis pela função DPT, são eles: potência e disparo de *gate*.

Os principais componentes envolvidos no DPT Meia Ponte estão apontados na Figura 90.

Figura 87 – Principais componentes empregados no DPT Meia Ponte.



Fonte: Produção do autor.

O estágio de potência é composto pelos componentes: interruptor G1b, interruptor G2b, indutor e capacitores. Primeiramente, o interruptor DUT de **GaN** denominado como G2b é o principal responsável pela ação de comutação. Conforme pode ser visto na Figura 88, logo acima do interruptor G2b estão presentes o interruptor auxiliar de **GaN** e o ponto de conexão P7b, para a conexão do indutor. O indutor (P7b) é responsável pela atuação como fonte de corrente durante os testes. E o interruptor G2b é responsável pela ação de roda livre, para conduzir a corrente do indutor quando o interruptor G1b não estiver em condução. À direita dos interruptores na Figura 88 estão presentes os capacitores, sendo previsto à conexão de dois capacitores de cerâmica de 0,5 μ F e um de eletrolítico de alumínio de 220 μ F.

No DPT Meia Ponte foram previstos dois estágios de disparo de *gate*, sendo um para cada interruptor. Cada estágio de disparo de *gate* pode ser basicamente definido pelos componentes: interruptor, componentes auxiliares de ação de disparo e CI de *gate driver*. A disposição dos componentes é igual a apresentada para o DPT 1 e DPT 2.

A geração dos sinais de disparo de *gate* para ambos os interruptores foi obtida a partir do mesmo DSP empregado nos protótipos DPT 1 e DPT 2. Para o DPT Meia Ponte não foi previsto um local para encaixe do DSP diretamente sobre o protótipo, sendo assim, a conexão entre o DSP e o protótipo foi realizada por condutores de sinal.

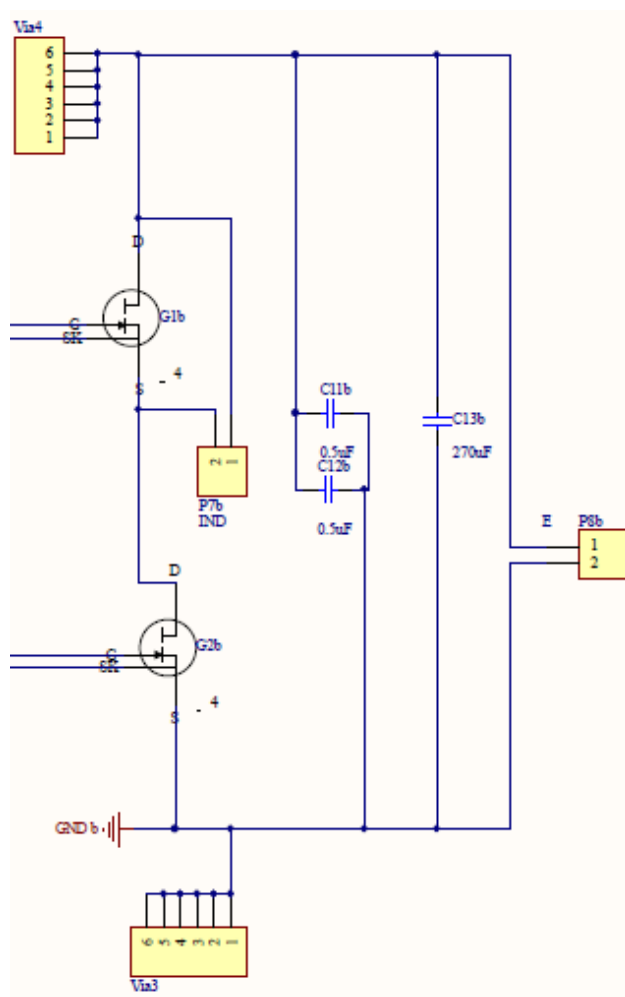
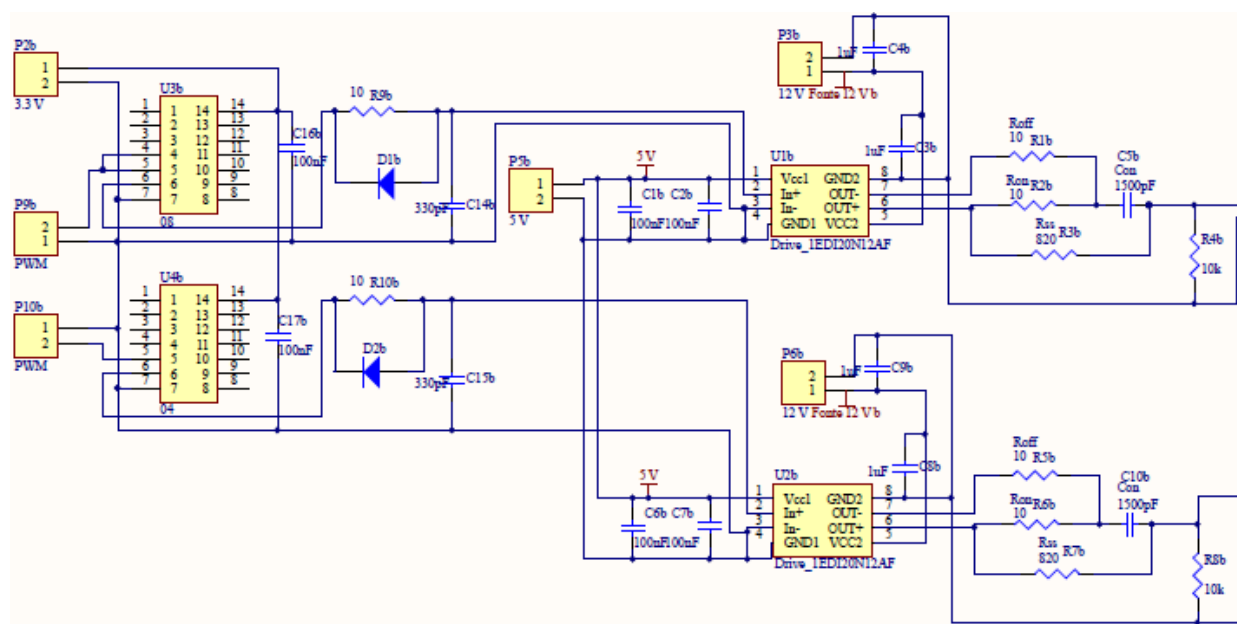
Com o DSP somente foi gerado um sinal de disparo de *gate*, o segundo sinal de disparo de *gate* foi obtido de forma complementar ao primeiro. O sinal de disparo do interruptor G2b (DUT) gerado pelo DSP foi o mesmo empregado nos protótipos DPT 1 e DPT 2. O CI U4b é um circuito lógico AND, não interfere na lógica do sinal. Já para o interruptor G1b foi empregado o sinal complementar, sendo utilizado o CI U3b, um circuito lógico NOT, o qual é responsável pela inversão lógica do primeiro sinal e desta forma se obter o sinal complementar.

Além dos sinais de disparo dos *gates* que são obtidos das saídas AND e NOT, ou seja, das saídas igual ao DSP e complementar ao DSP, ainda foi previsto um tempo morto gerado por *hardware*. Para gerar o tempo morto, em cada saída foi previsto um atraso na subida do sinal e uma descida do sinal de forma imediata. Para obter um atraso nas subidas dos sinais foram empregados o conjunto de resistor e capacitor em cada saída, são eles: R9b e C14b na saída do CI U3b; R10b e C15b na saída do CI U4b. Já nas descidas dos sinais foram empregados 1 diodo em cada saída para decrescer bem mais rapidamente, são eles: D1b na saída do CI U3b; D2b na saída do CI U4b.

Para o fornecimento de energia foi previsto a utilização de fontes CC disponíveis no laboratório, no circuito estão denominadas como pontos de conexão definidos como: P2b para a fonte de 3,3 V dos CIs U3b e U4b; P5b para a fonte de 5 V responsável pela alimentação do lado 1 de ambos os *gate drivers* (alimentação não isolada); P3b e P6b para as fontes de 12 V responsáveis pela alimentação do lado 2 dos *gates drivers* (alimentação isolada); e P8b para a fonte de alimentação de potência de 0 a 600 V.

O circuito completo do protótipo do DPT Meia Ponte está apresentado na Figura 88.

Figura 88 – Circuito completo do DPT Meia Ponte.



Fonte: Produção do autor.

Do circuito completo do DPT Meia Ponte podem ser resumidos os principais componentes responsáveis pela formação de uma malha de potência, conforme descritos na Tabela 23.

Tabela 23 – Principais componentes da malha de potência no DPT Meia Ponte.

Referência	Componente	X	Descrição
G1b, G2b	Interruptor	2	GaN HEMT - IGOT60R070D1
C11b	Capacitor	1	Capacitor de cerâmica 700 V 0,5 μ F B58031U7504M062
C18b	Capacitor	1	Capacitor eletrolítico de alumínio B43541 600 V 220 μ F Radial 35 x 45

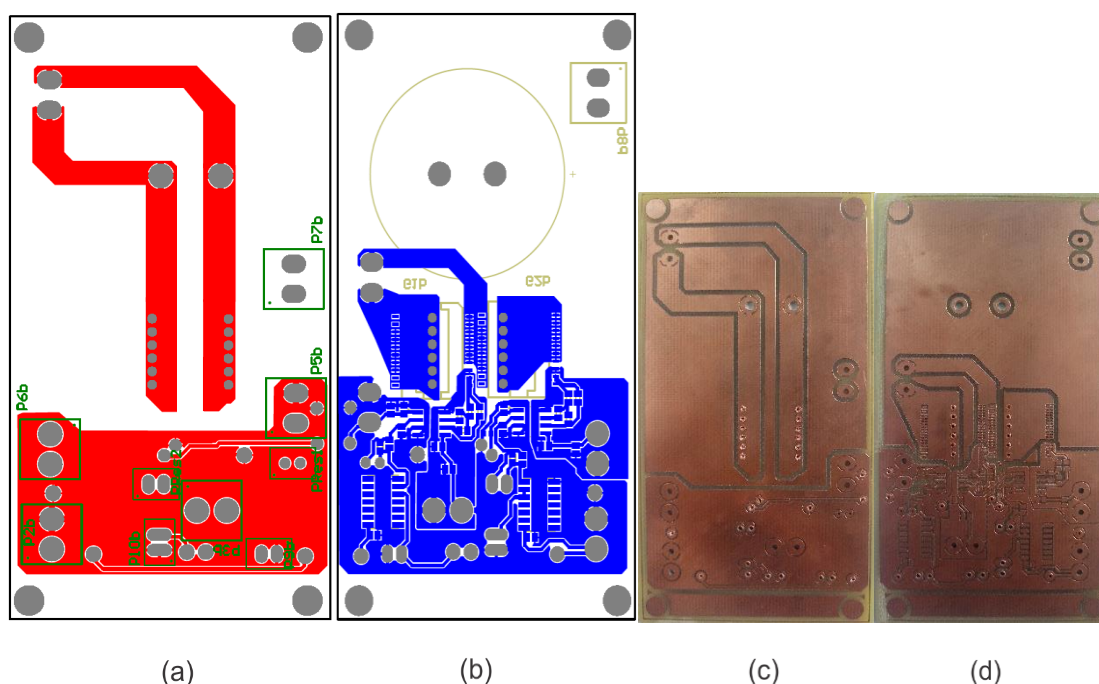
Fonte: Produção do autor.

Com a definição do circuito e a listagem dos principais componentes da malha de potência do DPT Meia Ponte, seguiu-se com a elaboração do *layout* da placa. Algumas regras empregadas nos protótipos DPT 1 e DPT2 foram reaproveitadas. A malha de potência do DPT Meia Ponte foi previsto de forma similar ao realizado no DPT 2, no qual o caminho de retorno da corrente principal (corrente de *source Is*) está no lado oposto da placa. Buscou-se também a redução tanto quanto possível das distâncias entre os componentes principais da malha de potência para possibilitar ainda mais a redução de comprimentos de trilhas. O *layout* da placa foi desenvolvido com auxílio do programa computacional **Altium**. As vistas superior e inferior do *layout* DPT Meia Ponte estão apresentadas na Figura 89 (a) e na Figura 89 (b).

Com a definição do *layout*, a placa foi confeccionada com auxílio de máquina de prototipagem disponível no laboratório. A vista superior da placa confeccionada está apresentada na Figura 89 (c) e a vista inferior da placa confeccionada está apresentada na Figura 89 (d).

De forma análoga aos demais projetos, avaliou-se os componentes parasitas da placa com dois interruptores principalmente avaliados na malha de potência do circuito DPT Meia Ponte, com o objetivo de servir como comparativo com o DPT com um interruptor, tanto da primeira versão, quanto da segunda versão. E servir como auxílio na compreensão dos efeitos existentes no protótipo. Para a análise novamente foram utilizados recursos do programa computacional **Q3D Extractor**.

Figura 89 – DPT Meia Ponte: (a) *layout* vista superior; (b) *layout* vista inferior; (c) placa confeccionada vista superior; (d) placa confeccionada vista inferior.



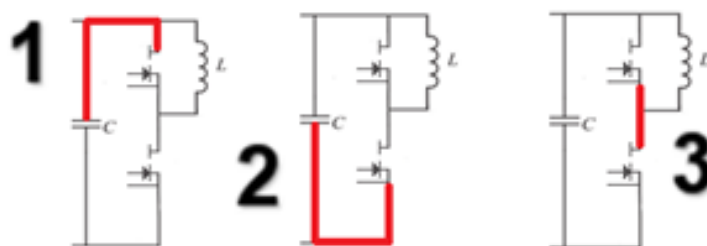
Fonte: Produção do autor.

As principais parcelas dos componentes parasitas na malha de potência do circuito DPT Meia Ponte envolvidas no *layout* da placa podem ser divididas da seguinte forma:

- 1 - Conexão do **ponto positivo do capacitor** para o **Drain** do interruptor 1 (**superior**);
- 2 - Conexão do **ponto negativo do capacitor** para o **Source** do interruptor 2 (**inferior**);
- 3 - Conexão do ponto **Drain** do interruptor 2 (**inferior**) para o **Source** do interruptor 1 (**superior**).

As principais parcelas definidas de 1 a 3 que representam os componentes parasitas na malha de potência do circuito DPT Meia Ponte envolvidas no *layout* da placa estão apresentadas na Figura 90.

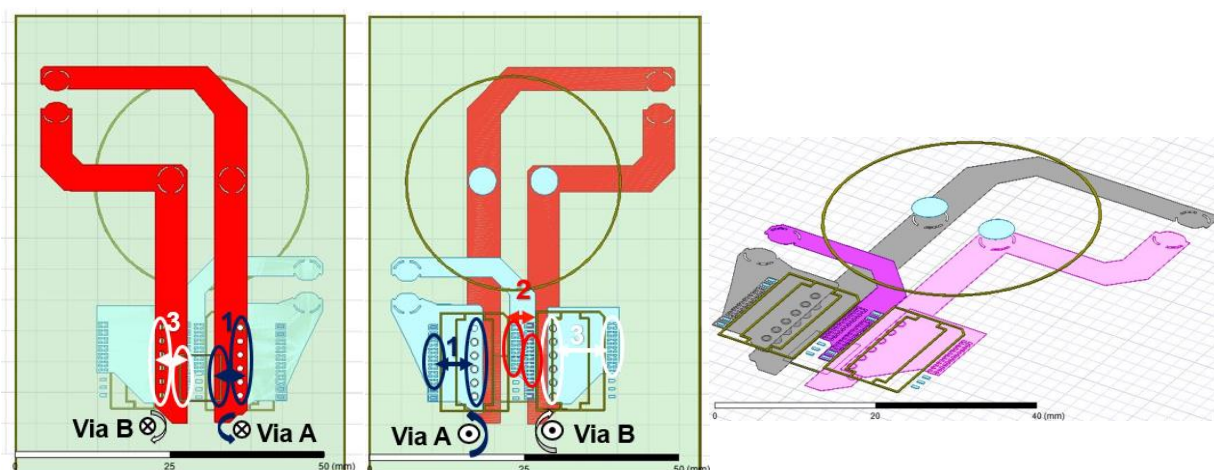
Figura 90 – Principais parcelas de componentes parasitas na malha Capacitor-GaN-Diodo.



Fonte: Produção do autor.

As principais parcelas definidas de 1 a 3 apresentadas forma de circuito na Figura 90 podem ser vistas na forma de *layout* na Figura 91.

Figura 91 – Principais parcelas de componentes parasitas na malha Capacitor-GaN-GaN.



Fonte: Produção do autor.

De forma similar ao realizado para os protótipos DPT 1 e DPT 2, o resultado da avaliação dos valores de resistência e indutância empregando o programa computacional está apresentado, para os valores obtidos entre os pontos de conexão de 1 a 3 no *layout* da placa e o valor total da malha de potência. As verificações estão apresentadas para as frequências de 100 kHz e 100 MHz.

Com análise de 100 kHz, no trecho denominado de 1 que interliga os pontos positivo do capacitor C (+) e *drain* do interruptor 1 Q1 (D), tem-se o valor de indutância verificado entre os pontos de 1,9 nH. No trecho 2 que interliga os pontos negativo do capacitor C (-) e *source* do interruptor 2 Q2 (S), tem-se o valor de indutância entre os pontos de 3,1 nH. Para o trecho 3 que interliga os pontos *source*

do interruptor Q1(S) e *drain* do interruptor 2 Q2 (D) foi obtido 0,1 nH. Na situação exposta, o valor de indutância do trecho 3 foi obtido muito menor do que os demais trechos, a diferença pode ser basicamente relacionada com a menor distância e a forma de interligação que possui uma conexão totalmente direta no trecho 3.

O valor total da indutância da malha de potência do DPT Meia Ponte pode ser obtido a partir dos valores obtidos dos trechos de 1 a 3, ou seja, 1,9 nH, 3,1 nH e 0,1 nH, sendo da situação citada de 5,1 nH. O valor pode ser comparado com os outros protótipos, sendo no DPT 1 o valor de 17,8 nH e no DPT 2 o valor de 1,6 nH. Uma redução de 3,5 vezes na indutância total da malha de potência quando comparado ao DPT 1 e um aumento de 3,2 vezes quando comparado ao DPT 2. Os valores citados e os demais valores verificados podem ser observados na Tabela 24.

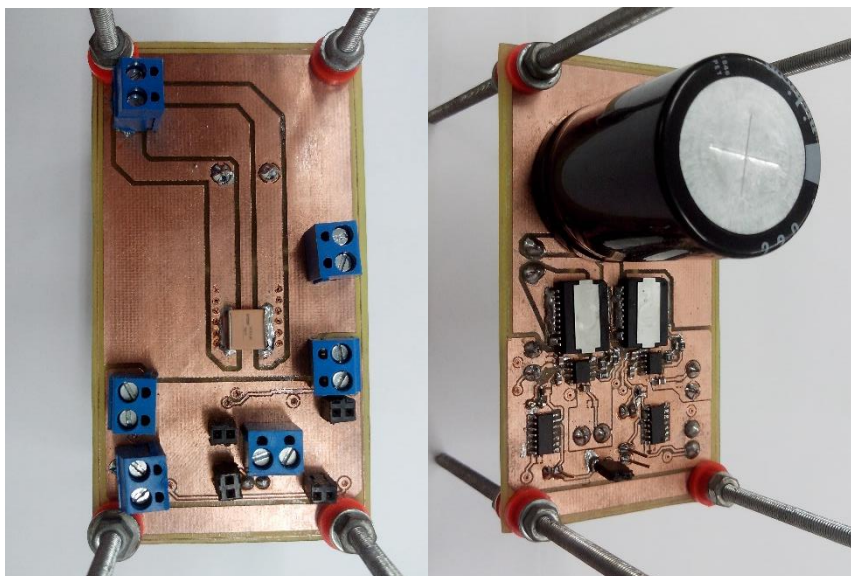
Tabela 24 – Resistência e indutância entre pontos de conexão dos DPTs.

DPT	versão 1		versão 2		versão Meia Ponte	
Parcela	L100 kHz (nH)	L100 MHz (nH)	L100 kHz (nH)	L100 MHz (nH)	L100 kHz (nH)	L100 MHz (nH)
	R100 kHz (mΩ)	R100 MHz (mΩ)	R100 kHz (mΩ)	R100 MHz (mΩ)	R100 kHz (mΩ)	R100 MHz (mΩ)
C (+) : D (K)	1,5	1,2	0,5	0,4	1,9	1,7
C (+) : Q1 (D)	0,6	5,2	0,3	2,1	0,5	4,4
C (-) : Q (S)	10,8 3,2	9,8 2,9	0,5	0,4	3,1	2,8
C (-) : Q2 (S)	2,9 1,1	24,9 8,1	0,3	1,8	0,6	6,7
D (A) : Q (D)	2,3	1,9	0,6	0,5	0,1	0,1
Q1 (S) : Q2 (D)	1,2	9,1	0,3	2,3	0,2	0,7
Total	17,8	15,8	1,6	1,3	5,1	4,6
	5,8	47,3	0,9	6,2	1,3	11,9

Fonte: Produção do autor.

Com o *layout* elaborado e com a placa confeccionada, realizou-se a montagem do protótipo DPT Meia Ponte, o protótipo está apresentado na Figura 92.

Figura 92 – Protótipo do DPT Meia Ponte.



Fonte: Produção do autor.

Com o protótipo elaborado, seguiu-se com a execução dos testes, para isso foram necessários alguns equipamentos que estão apresentados na sequência.

5.5 EQUIPAMENTOS PRINCIPAIS

Os principais equipamentos utilizados durante a elaboração do presente trabalho estão apresentados resumidamente na Tabela 25.

Tabela 25 – Principais equipamentos empregados no presente trabalho.

Equipamento	Informações gerais
Osciloscópio 4054B-3	500 MHz 2.5 GS/s
4 x P6139B	Tektronix 500 MHz 10X/10 M Ω /8 pF 300 V
1 x P5120	Tektronix 200 MHz 20X/5 M Ω /11,2 pF 1000 V
Ponteira de corrente	PEM CWT Ultra mini 30 MHz 70 kA/ μ s
Fonte de tensão CC 5 V e 12 V	Politerm POL 16E 0-32 V 0-5 A
Fonte de tensão CC 1000 V	Magna Power Electronics TDS1000-25/380+HS
Fonte de tensão CA senoidal 250 V	Variac 0-250 V

Fonte: Produção do autor.

Além da citação dos principais equipamentos utilizados no presente trabalho, também estão destacadas na sequência algumas informações referentes as ponteiras

de testes empregadas no presente trabalho. De forma sucinta estão apresentadas algumas avaliações experimentais das ponteiros que foram relevantes no processo experimental dos protótipos.

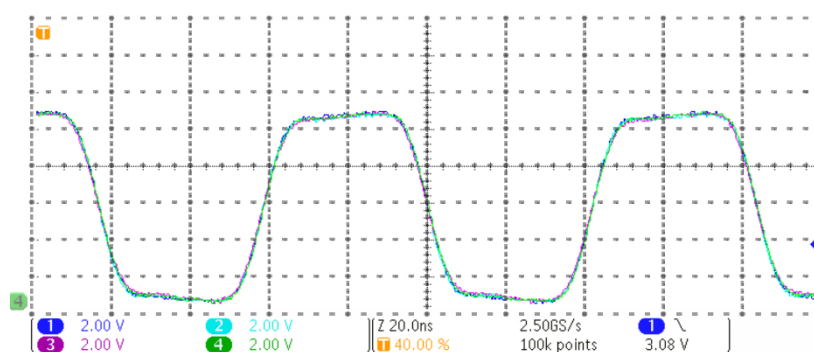
5.6 AVALIAÇÃO EXPERIMENTAL DAS PONTEIRAS

Algumas avaliações experimentais das ponteiros foram realizadas e estão apresentadas na sequência de forma sucinta. No presente trabalho foram utilizadas quatro ponteiros de tensão do modelo P6139B Tektronix 500 MHz 10X/10 M Ω /8 pF 300 V e uma ponteiro de tensão do modelo P5120 Tektronix 200 MHz 20X/5 M Ω /11,2 pF 1000 V.

As avaliações foram realizadas com a imposição de pequenos valores de tensão, como 10 V e frequências de 1 a 10 MHz. E com a imposição de grandes valores de tensão, como 200 V, com o aproveitamento do protótipo para as medições.

A primeira análise foi realizada nas quatro ponteiros P6139B, com a imposição de pequenos valores de sinais, como 10 V e frequência de 10 MHz. As medições estão apresentadas na Figura 93. A avaliação também foi realizada diretamente no protótipo com 200 V e para todas as situações foi verificado o comportamento similar em todas as quatro ponteiros, com um tempo de atraso menor que 0,1 ns.

Figura 93 – Avaliação experimental de quatro ponteiros P6139B com pequeno nível de tensão.

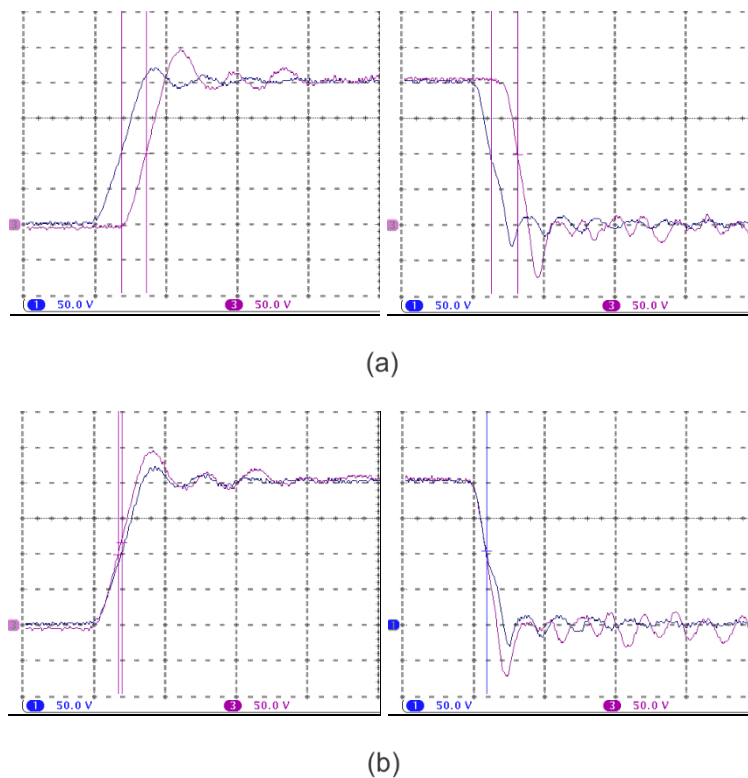


Fonte: Produção do autor.

Uma comparação entre as ponteiros P6139B e P5120 foi realizada diretamente no protótipo com 200 V, isso permitiu identificar o tempo de atraso de aproximadamente 7,8 ns entre as duas ponteiros. A subida e a descida do sinal

medido sem e com ajuste do tempo de atraso podem ser vistas na Figura 94 (a) e Figura 94 (b). O ajuste do atraso relativo de 7,8 ns compensou o real atraso de tempo.

Figura 94 – Avaliação experimental comparativa de uma ponteira P6139B e uma P5120. Sinais de subida e descida: (a) sem o ajuste; (b) com o ajuste de tempo de atraso de 7,8 ns.



Fonte: Produção do autor.

Na sequência foram apresentadas as avaliações experimentais dos protótipos.

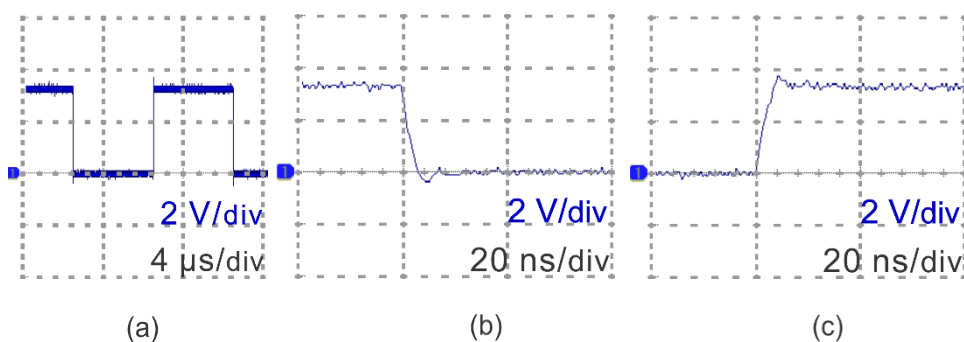
6 RESULTADOS DPT

Os resultados experimentais dos protótipos DPT: versão 1, versão 2 e Meia Ponte, estão apresentados a seguir. Primeiramente estão expostos alguns detalhes do comando de *gate*. Na sequência são apresentados alguns detalhes das operações nas tensões de 200 V e de 400 V, um detalhamento do DPT Meia Ponte e alguns testes nas proximidades dos limites do interruptor. E por último está relatado o conjunto de várias transições *turn-off* e *turn-on* obtidas em diferentes situações. A temperatura ambiente de 22 °C foi utilizada como padrão.

6.1 COMPORTAMENTO DO CIRCUITO DE COMANDO DE GATE

O primeiro relato está relacionado com o sinal de entrada do circuito de *gate* que é justamente o mesmo sinal do lado de entrada do *driver* de acionamento do interruptor. O sinal gerado a partir do DSP foi empregado de forma similar em todos os protótipos e foi medido para uma verificação inicial. O sinal medido está apresentado na Figura 95 (a), sendo a característica binária com os níveis lógicos representados como baixo de 0 V e alto de 3,3 V apropriados para os protótipos. O tempo de permanência em cada nível lógico, o qual tem ajuste conforme o teste realizado, foi utilizado como exemplo: 4 μ s de nível alto (parcialmente apresentado), 4 μ s de nível baixo, novamente 4 μ s nível alto, por fim se mantém em nível baixo. As transições do sinal de entrada do *driver* foram verificadas com tempos de subida e descida de 4 ns, conforme podem ser verificadas nas Figura 95 (b) e Figura 95 (c).

Figura 95 – Tensão de comando de *gate* do DPT: (a) entrada do driver. Escala: 4 μ s/div; (b) saída do driver no *turn-off*; (c) saída do driver no *turn-on*.



Fonte: Produção do autor.

Com o comportamento da tensão no driver verificada, prosseguiu-se medindo a tensão de acionamento do interruptor, entre os terminais de *gate* e *kelvin source*, com denominação de tensão V_{gks} . Alguns pontos de análise estão citados em um determinado protótipo, mas também são válidos para os demais.

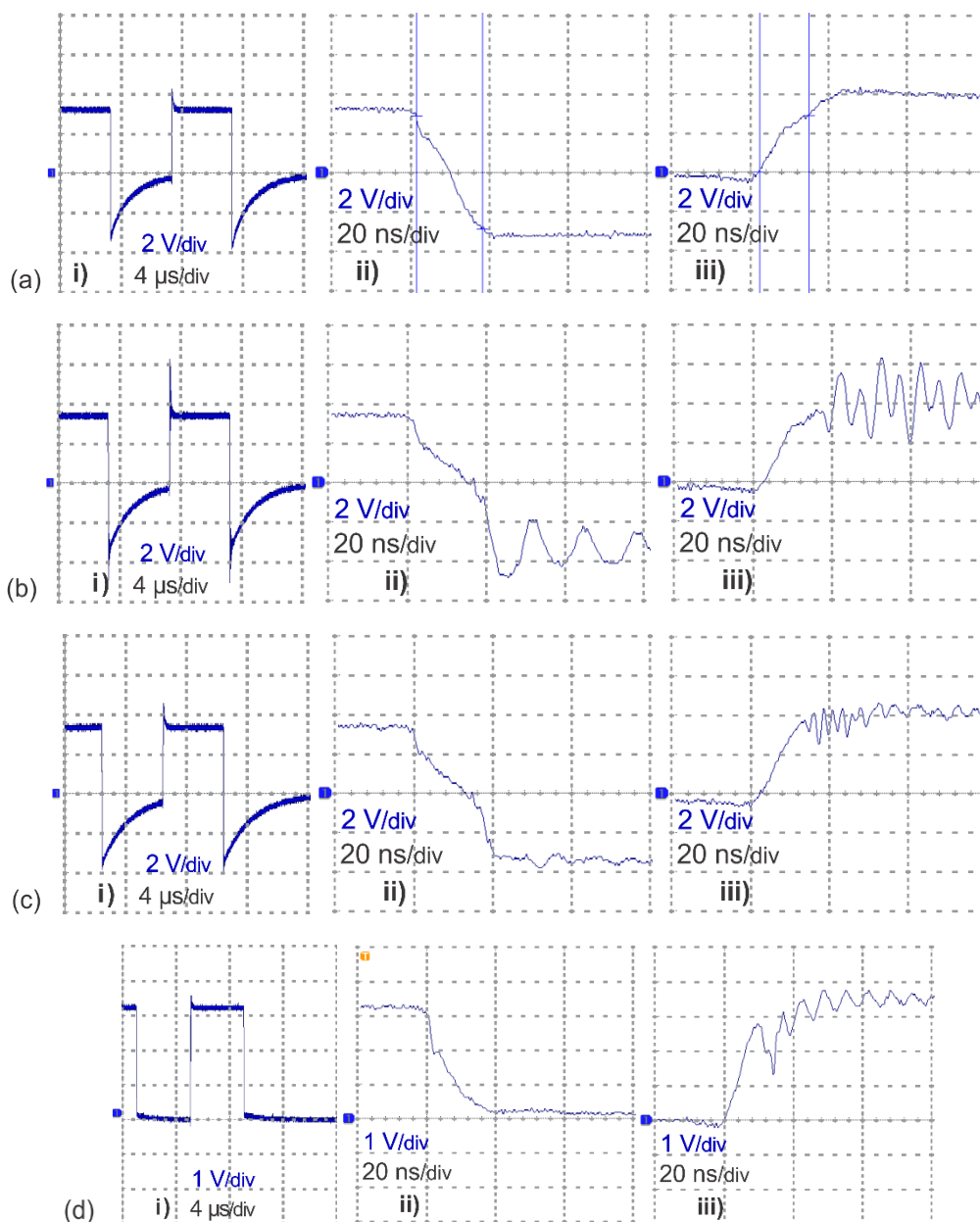
O primeiro ponto em destaque do comportamento da tensão V_{gks} está no comparativo entre as seguintes situações: sem e com corrente I_d . Na primeira situação o interruptor é submetido a condução, mas com corrente zero. Já na segunda situação o interruptor é submetido a condução e a corrente é maior que zero. Para isso, avaliou-se a tensão V_{gks} no DPT 1, sendo sem corrente I_d apresentado na Figura 96 (a) e com corrente I_d apresentado na Figura 96 (b). Para facilitar a visualização, destacou-se os detalhes das transições nas figuras, sendo os itens II da descida e III da subida. Na situação sem corrente I_d constatou-se um sinal de tensão V_{gks} límpido quando comparado a situação com corrente I_d . Isso porque na situação sem corrente I_d , tornam-se nulas as contribuições de tensão devido aos efeitos parasitas entre os pontos de verificação. Na situação com corrente I_d constatou-se um sinal de tensão V_{gks} com oscilações como da corrente I_d .

O segundo ponto em destaque ocorre durante o estado desligado da tensão V_{gks} , as seguintes situações são verificadas: valor negativo de tensão V_{gks} ou valor zero de tensão V_{gks} . Para possibilitar o comparativo, avaliou-se a tensão V_{gks} no DPT 2 com dois valores de capacitâncias diferentes para o capacitor presente no circuito de comando de *gate*. Para 1500 pF, obteve-se o valor negativo, conforme apresentado na Figura 96 (c). Para 680 pF, obteve-se o valor zero, conforme apresentado na Figura 96 (d). A diferença ocorreu basicamente devido a alteração do capacitor citado, sendo que uma das duas situações pode ocorrer e isso depende do valor escolhido. O ponto limite entre as duas situações está atrelado com a distribuição de tensão que ocorre no circuito de comando durante o estado desligado.

Os tempos de descida II e subida III da tensão V_{gks} em determinada situação foram obtidos como exemplo do DPT 1, conforme demonstrado com cursores na

Figura 96 (a). A descida II apresenta o tempo de 16,76 ns e a subida III apresenta o tempo de 12,6 ns.

Figura 96 – Tensão V_{gks} $I_d=10$ A e $V_{ds}=200$ V. Visões: I) visão geral; II) detalhe *turn-off*. III) detalhe *turn-on*. (a) DPT 1 1500 nF $I_d=0$ A e $V_{ds}=0$ V; (b) DPT 1 1500 nF; (c) DPT 2 1500 pF; (d) DPT 2 680 pF.



Fonte: Produção do autor.

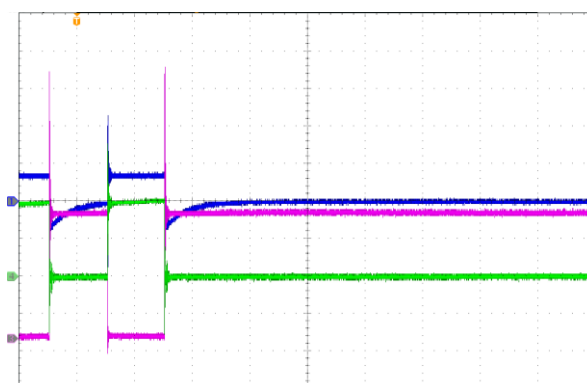
Com os principais pontos destacados do circuito de comando de *gate*, prosseguiu-se com a verificação de alguns detalhes do circuito de potência. Primeiramente na situação de tensão de 200 V, conforme pode ser visto a seguir.

6.2 COMPORTAMENTO DO CIRCUITO DE POTÊNCIA 200 V

O comportamento do circuito de potência com aplicação da tensão de 200 V foi verificado nos protótipos DPT 1, DPT 2 e DPT Meia Ponte. Os resultados de todos os protótipos estão reunidos e apresentados na sequência na forma comparativa.

Uma visão geral dos testes executados que estão apresentados na sequência pode ser vista na Figura 97, sendo apresentado o conjunto de medições do DPT 1, da tensão V_{gks} , tensão V_{ds} e corrente I_d . De forma geral, pode-se verificar a correta atuação do interruptor, primeiramente quando há valor negativo de tensão V_{gks} , no caso o interruptor se apresenta em estado de bloqueio e a corrente I_d é zero. O segundo modo quando há valor positivo de tensão V_{gks} , no caso o interruptor se apresenta em estado de condução e a corrente I_d é positiva. Pode ser notado que o valor de corrente aumenta linearmente durante a condução, visto que a tensão V_{ds} é zero e, portanto, a tensão acaba sendo imposta sobre o indutor que se encontra em série com o interruptor no circuito.

Figura 97 – Visão geral da operação 20 A e 200 V no DPT1: Tensão V_{gs} (CH1: 5 V/div, Azul), Tensão V_{ds} (CH3: 60 V/div, Rosa) e corrente I_S (CH4: 10 A/div, Verde). Escala: 4 μ s/div.



Fonte: Produção do autor.

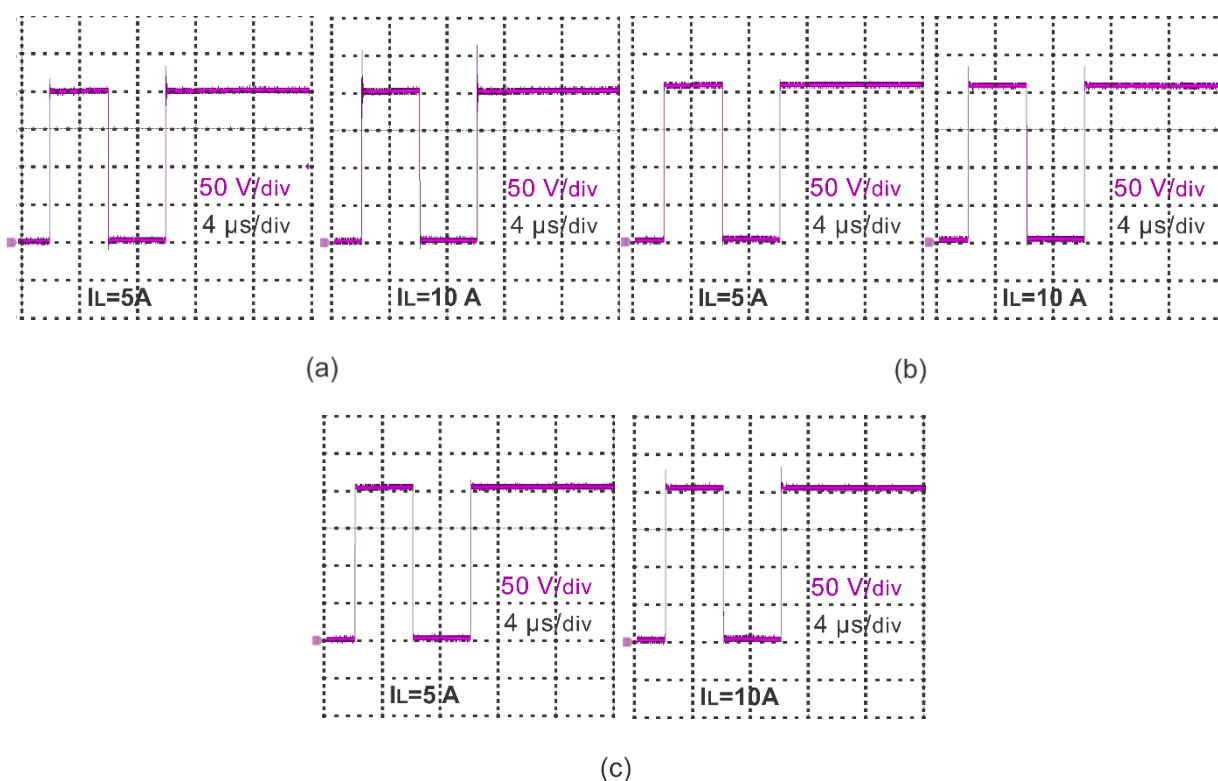
Primeiramente, pode-se verificar na visão geral da tensão V_{ds} em todos os protótipos as tensões de 200 V durante o estado de bloqueio e 0 V durante o estado de condução.

A visão geral da tensão V_{ds} do DPT 1 está apresentada na Figura 98 (a), sendo (i) para 5 A e (ii) para 10 A. Ao comparar-se as situações i) e ii), já se torna visível um aumento no sobressinal na transição de subida, isso quando aumenta-se o valor de corrente. O mesmo ocorre no DPT 2 na Figura 98 (b) e no DPT 3 na Figura 98 (d).

Ao comparar inicialmente a visão geral do DPT 1 e do DPT 2, pode-se verificar tanto em (i) com corrente menor, quanto em (ii) com corrente maior que o DPT 2 na Figura 98 (b) é claramente mais límpido do que o DPT 1 da Figura 98 (a). Trata-se da redução de sobressinal na transição de subida. Uma indicativa inicial de provável aprimoramento do protótipo da primeira versão para a segunda versão.

Para as diferentes situações da tensão V_{gks} durante o estado desligado, ou seja, com valor negativo ($C=1500$ pF) ou valor zero ($C=680$ pF) da tensão V_{gks} , as visões gerais se apresentam similares, conforme nas Figura 98 (b) e na Figura 98 (c).

Figura 98 – Visão geral da tensão V_{ds} : (a) DPT1; (b) DPT2; (c) DPT2 $C=680$ pF.



Fonte: Produção do autor.

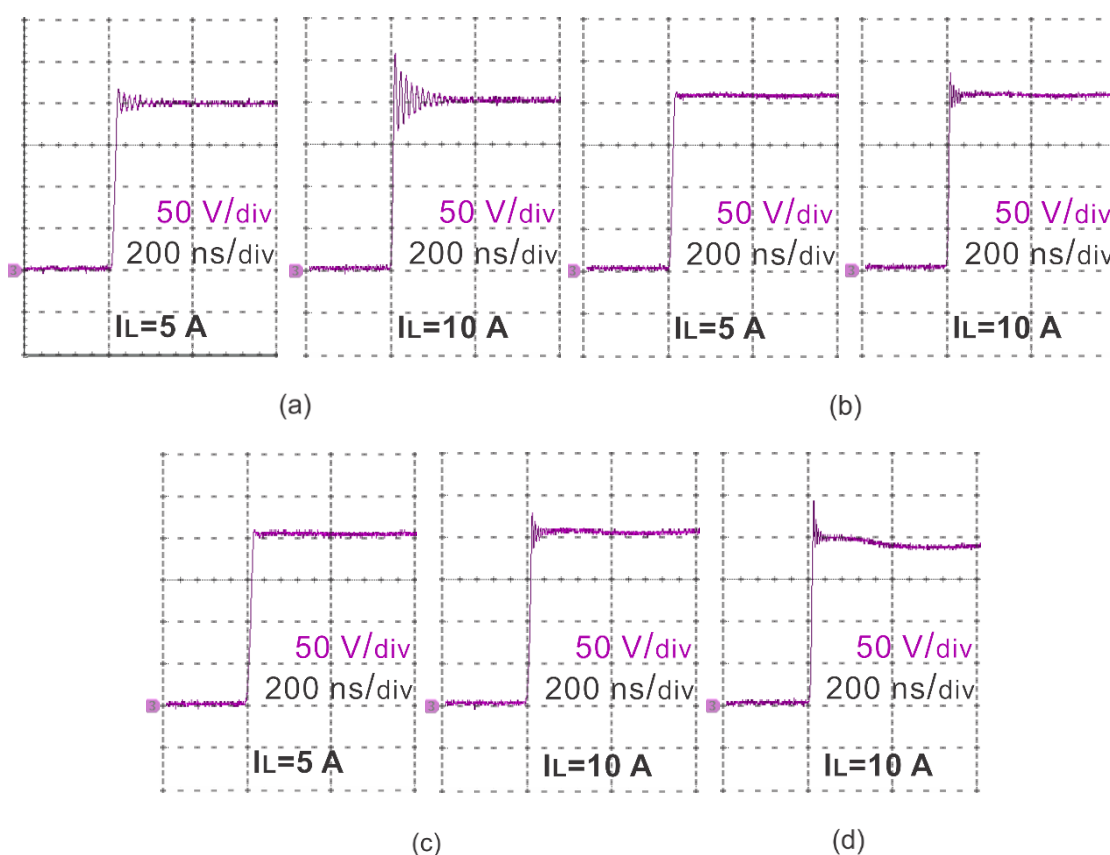
Com visão do detalhe da tensão V_{ds} foi possível verificar mais precisamente a transição de subida, ou seja, o *turn-off* do interruptor.

A transição da tensão V_{ds} no *turn-off* do DPT 1 está apresentada na Figura 99 (a), sendo (i) para 5 A e (ii) para 10 A. Ao comparar-se as situações i) e ii), verifica-se um aumento no sobressinal de acordo com o aumento do nível de corrente. De forma análoga, pode-se verificar no DPT 2 na Figura 99 (c) e no DPT Meia Ponte na Figura 99 (d).

Com visão do detalhe na transição da tensão V_{ds} no *turn-off* do DPT 1 e do DPT 2, pode-se verificar tanto em (i) com corrente menor, quanto em (ii) com corrente maior que o DPT 2 na Figura 99 (b) é claramente mais límpido do que o DPT 1 na Figura 99 (a). As reduções de sobressinal e permanência da oscilação na transição *turn-off* se torna mais facilmente constatada.

Para as diferentes situações da tensão V_{gks} ($C=1500$ pF e $C=680$ pF), na transição *turn-off* da tensão V_{ds} , as situações são similares em ambos os níveis de corrente (i) e (ii), conforme pode ser visto na Figura 99 (b) e na Figura 99 (c).

Figura 99 – *Turn-off*. Tensão V_{ds} : (a) DPT1; (b) DPT2; (c) DPT2 $C=680$ pF; (d) DPT Meia Ponte.



Fonte: Produção do autor.

Para uma avaliação minuciosa, aplicou-se uma melhor aproximação no detalhe da transição da tensão V_{ds} no *turn-off*.

A transição da tensão V_{ds} no *turn-off* do DPT 1 com uma melhor aproximação utilizando a escala de tempo de 20 ns/div está apresentada na Figura 100 (a), sendo (i) para 10 A e (ii) para 20 A. Na situação de 10 A se verificou o valor máximo de sobressinal de 256 V e na situação de 20 A se verificou 374 V. O aumento do valor máximo de sobressinal devido ao aumento da corrente já era esperado, visto que o maior valor de corrente antes da ocorrência da transição acaba acarretando em maior acúmulo de energia na indutância parasita na malha de potência, sendo essa energia posteriormente transferida à capacitância do interruptor durante a transição *turn-off*. O mesmo ocorre no DPT 2, sendo 233 V e 277 V, para as situações de 10 A (i) e 20 A (ii), respectivamente, conforme pode ser visto na Figura 100 (b).

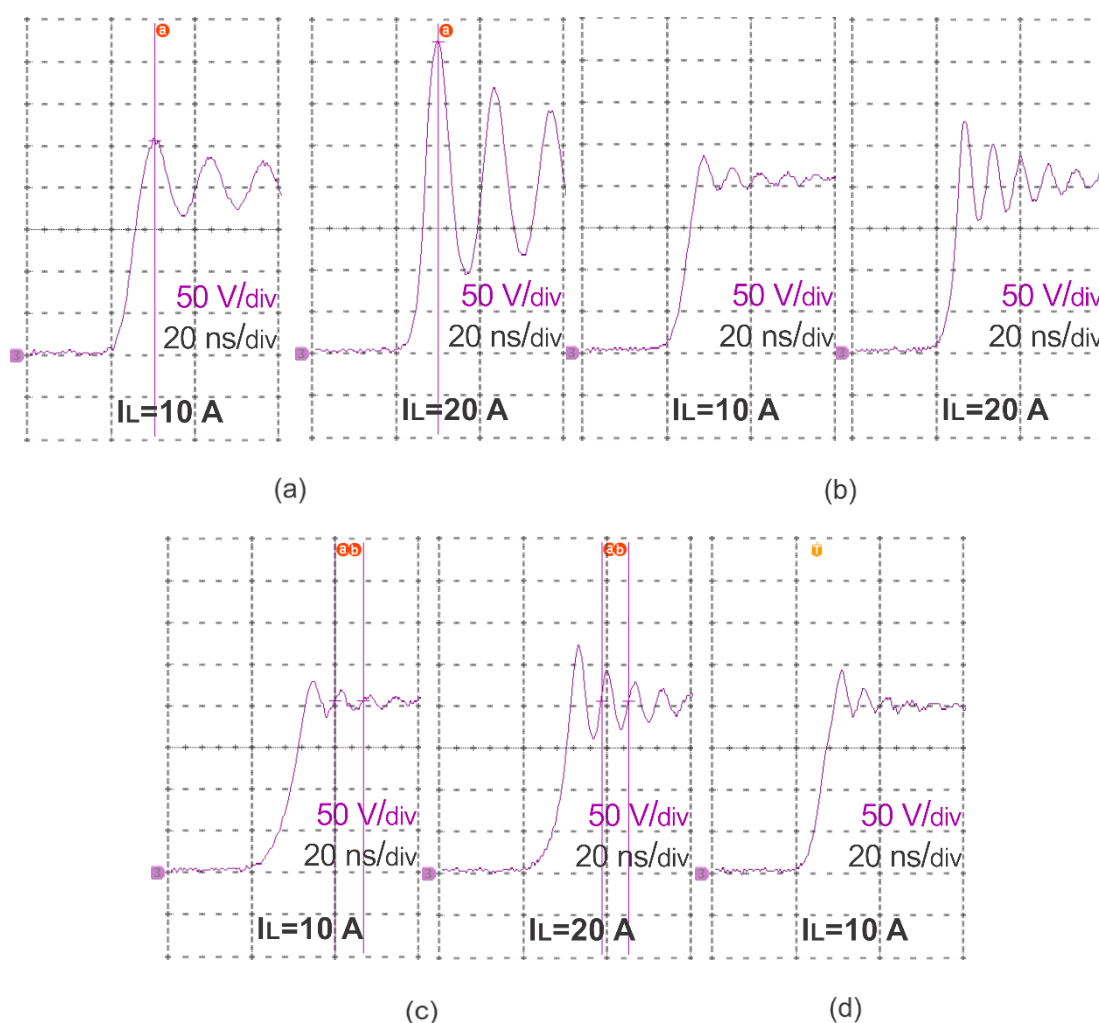
Outro ponto em destaque é a oscilação no sinal de tensão V_{ds} na transição *turn-off*, sendo que do DPT 1 pode ser verificado na Figura 100 (a). A frequência de oscilação de 78 MHz (12,8 ns) pode ser verificada para a situação de 10 A (i) e 74 MHz (13,6 ns) para 20 A (i). Já a oscilação no DPT 2 pode ser verificada na Figura 100 (b), sendo a frequência de oscilação de 157 MHz (6,38 ns) na situação de 10 A (i) e 152 MHz (6,57 ns) na situação de 20 A (ii). A diferença na oscilação do DPT 1 para o DPT 2 ocorre devido a dependência do valor da frequência de oscilação com a indutância parasita e a capacitância do interruptor. As indutâncias no DPT2 resultaram em valores menores.

As alterações de máximo sobressinal e frequência de oscilação que foram encontradas do DPT 1 para o DPT 2 estão diretamente relacionadas com a redução da indutância parasita da malha de potência, uma indicativa de aprimoramento do protótipo da primeira versão para a segunda versão.

Para a segunda situação do DPT 2 ($C=680$ pF), os valores encontrados de máximo sobressinal e frequência de oscilação são de 228 V e 147 MHz (6,8 ns) para a situação de corrente de 10 A (i), e de 272 V e 156 MHz (6,4 ns) para 20 A (ii), conforme Figura 100 (c). Os valores se apresentam bastante similares com os obtidos na primeira situação do DPT 2 apresentado na Figura 100 (b).

No DPT Meia Ponte apresentado na Figura 100 (d), os valores encontrados de máximo sobressinal e frequência de oscilação são de 242 V e 167 MHz (6,0 ns) para a situação de corrente de 10 A.

Figura 100 – Detalhe *turn-off*. Tensão V_{ds} : (a) DPT1; (b) DPT2; (c) DPT2 C=680 pF; (d) DPT Meia Ponte.



Fonte: Produção do autor.

A rampa de subida do sinal da tensão V_{ds} que ocorre no *turn-off* do interruptor em cada protótipo está apresentada e discutida na sequência. As rampas foram definidas como ponto inicial em 10 % e ponto final em 90 %.

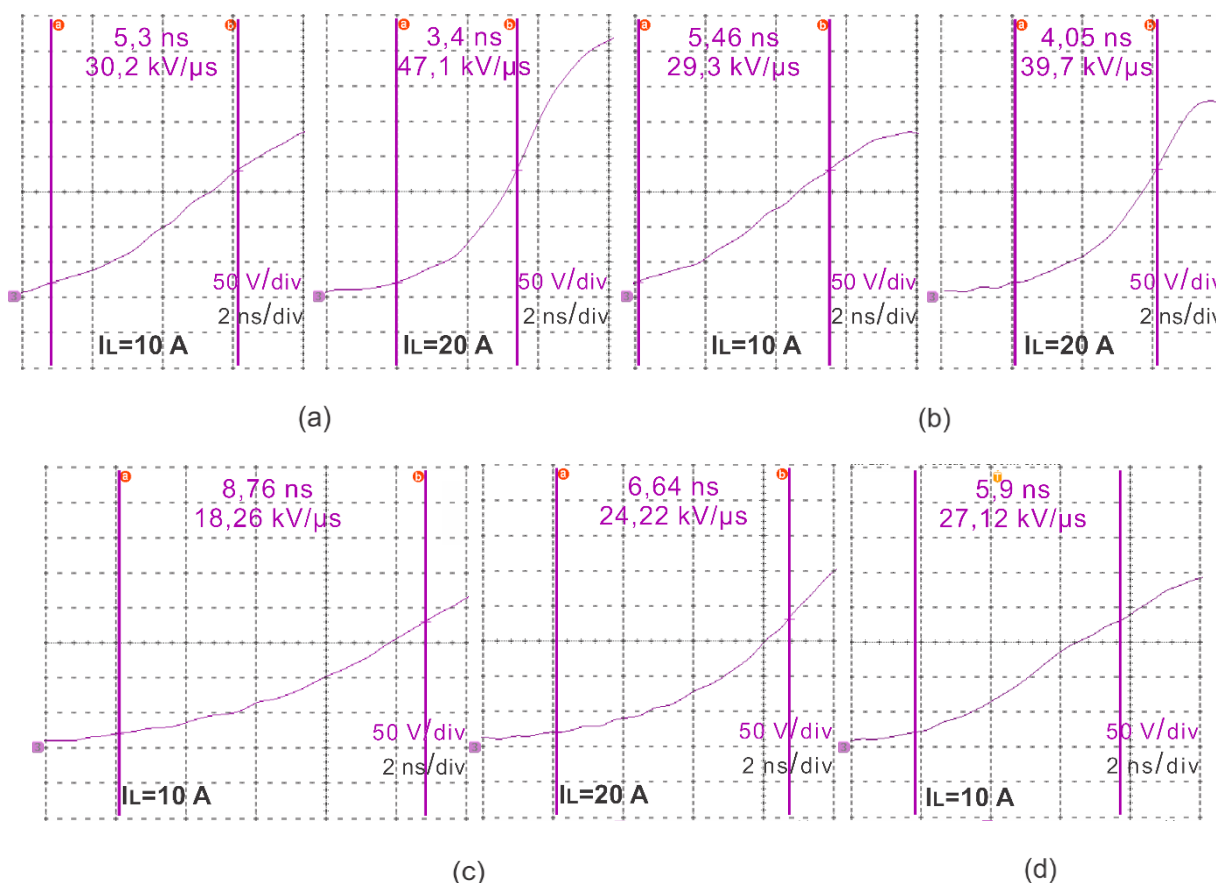
A rampa de subida do DPT 1 está apresentada na Figura 101 (a), sendo os tempos de subida de 5,3 ns para a situação de 10 A (i) e 3,4 ns para 20 A (ii). A rampa de subida do DPT 2 está apresentada na Figura 101 (b), sendo os tempos de subida de 5,46 ns para a situação de 10 A (i) e 4,05 ns para 20 A (ii). A redução do

tempo de subida representa um acúmulo de cargas mais rápido na capacitância do interruptor e isso se deve ao aumento do nível da corrente I_d antes da ocorrência da transição *turn-off*, no caso a mesma corrente do indutor do protótipo que opera como uma fonte de corrente no circuito.

A segunda situação do DPT 2 ($C=680$ pF) está apresentada na Figura 101 (c), foi possível verificar um tempo de rampa de 8,76 ns para a situação de corrente de 10 A (i) e 6,64 ns para 20 A (ii).

No DPT Meia Ponte, a rampa está apresentada na Figura 101 (d), foi possível verificar um tempo de 5,9 ns para a situação de corrente de 10 A.

Figura 101 – Subida de 10 a 90 % no *turn-off* da tensão V_{ds} : (a) DPT1; (b) DPT2; (c) DPT2 $C=680$ pF; (d) DPT Meia Ponte.



Fonte: Produção do autor.

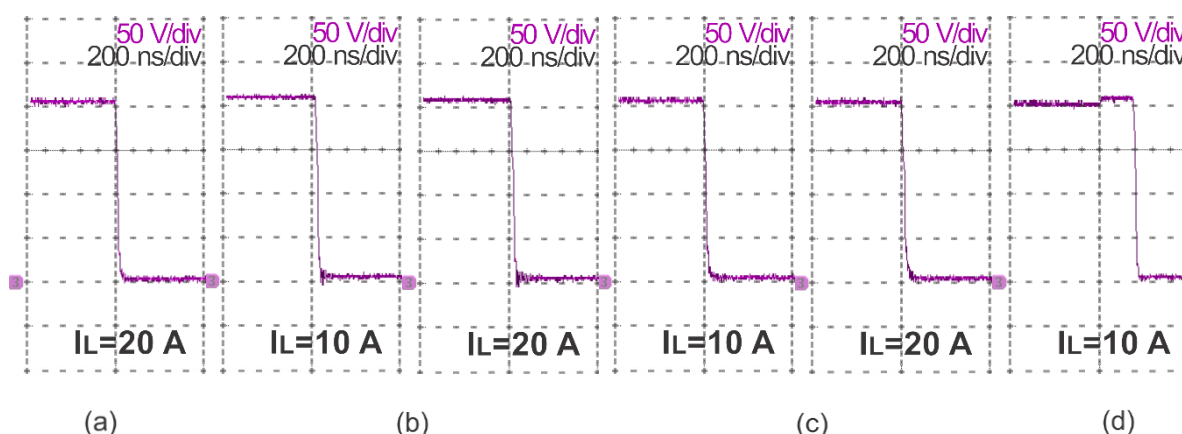
De forma análoga ao realizado para a transição de subida da tensão V_{ds} , também foram verificados as formas com detalhe da tensão V_{ds} na transição de

descida, ou seja, no *turn-on* do interruptor, de modo que permitisse uma melhor verificação.

A transição da tensão V_{ds} no *turn-on* do DPT 1 está apresentada na Figura 102 (a), sendo (i) para 5 A e (ii) para 10 A. E do DPT 2 está apresentada na Figura 102 (b). Ao comparar-se as situações de i) e ii), tanto no DPT 1, quanto no DPT 2, para a forma como está apresentada, verifica-se um comportamento similar, sendo os sinais apresentados bastante límpidos. O mesmo ocorre para a segunda situação do DPT 2 que está apresentada na Figura 102 (c).

No DPT Meia Ponte apresentado na Figura 102 (d) pode ser constatado um incremento no valor da tensão antes do *turn-on*, o incremento aproximado de 200 V para 206 V. O aumento ocorre durante o tempo morto, devido ao interruptor auxiliar iniciar a operação de condução reversa após a remoção do seu comando de acionamento.

Figura 102 – *Turn-on* da tensão V_{ds} : (a) DPT1; (b) DPT2; (c) DPT2 C=680 pF; (d) DPT Meia Ponte.



Fonte: Produção do autor.

Uma visão melhorada no detalhe da transição da tensão V_{ds} no *turn-on* foi realizada, de forma que permitisse uma avaliação minuciosa.

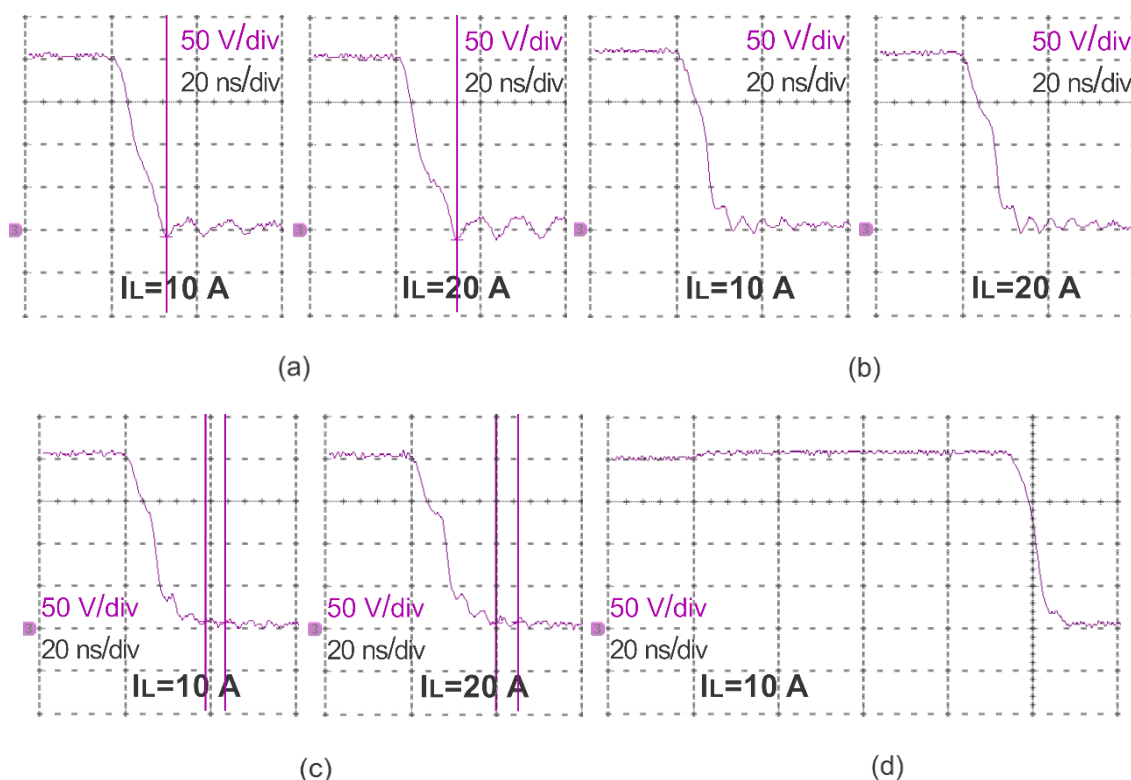
A transição da tensão V_{ds} no *turn-on* do DPT 1 está apresentada na Figura 103 (a), sendo (i) para 10 A e (ii) para 20 A. A oscilação no sinal de tensão V_{ds} na transição *turn-on* foi verificada e a frequência de oscilação foi constatada de 100 MHz (10 ns) para ambos os níveis de corrente de 10 A e 20 A.

A transição da tensão V_{ds} no *turn-on* do DPT 2 está apresentado na Figura 103 (b), os valores de frequência de oscilação obtidos são de 217 MHz (4,6 ns) e 227 MHz (4,4 ns), para 10 A (i) e 20 A (ii), respectivamente. A diferença na oscilação do DPT 1 para o DPT 2 ocorre devido a redução da indutância parasita da malha de potência, o qual interfere na oscilação juntamente com a capacitância do diodo. A alteração no valor representa um aprimoramento do protótipo da primeira versão para a segunda versão.

A transição da tensão V_{ds} no *turn-on* para a segunda situação do DPT 2 ($C=680$ pF) está apresentado na Figura 103 (c), os valores de frequência de oscilação obtidos são de 213 MHz (4,7 ns) e 208 MHz (4,8 ns), para 10 A (i) e 20 A (ii), respectivamente. Os valores encontrados para a segunda situação do DPT 2 ($C=680$ pF) são muito similares aos valores da primeira situação do DPT 2 ($C=1500$ pF).

No DPT Meia Ponte apresentado na Figura 103 (d) houve incremento no valor da tensão de 6 V, de 200 V para 206 V, por 80 ns antes do *turn-on*.

Figura 103 – Detalhe *turn-on* da tensão V_{ds} : (a) DPT1; (b) DPT2; (c) DPT2 $C=680$ pF; (d) DPT Meia Ponte.



Fonte: Produção do autor.

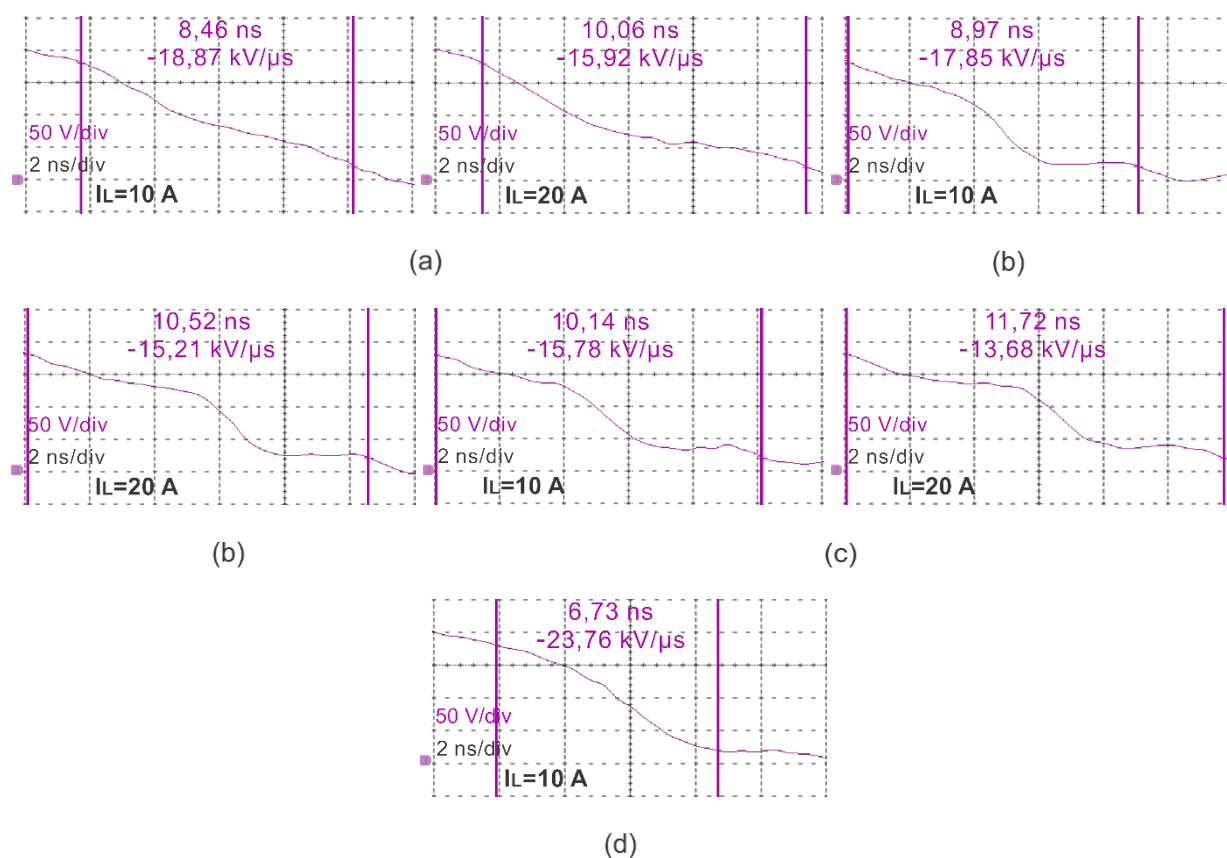
A rampa de descida do sinal da tensão V_{ds} que ocorre no *turn-on* do interruptor em cada protótipo está apresentada e discutida na sequência. As rampas foram definidas como ponto inicial em 90 % e ponto final em 10 %.

A rampa de descida do DPT 1 está apresentada na Figura 104 (a), sendo os tempos de descida de 8,46 ns para a situação de 10 A (i) e 10,06 ns para 20 A (ii). A rampa de descida do DPT 2 está apresentada na Figura 104 (b), sendo os tempos de descida de 8,97 ns para a situação de 10 A (i) e 10,52 ns para 20 A (ii).

Para a segunda situação do DPT 2 ($C=680$ pF), a rampa está apresentada na Figura 104 (c), foi possível verificar um tempo de rampa de 10,14 ns para a situação de corrente de 10 A (i) e 11,72 ns para 20 A (ii).

No DPT Meia Ponte, a rampa está apresentada na Figura 104 (d), foi possível verificar um tempo de 6,73 ns para a situação de corrente de 10 A.

Figura 104 – Descida de 90 a 10 % no *turn-on* da tensão V_{ds} (CH3: 50 V/div, Rosa) com (i) $I_L=10$ A e (ii) $I_L=20$ A: (a) DPT1; (b) DPT2; (c) DPT2 $C=680$ pF; (d) DPT Meia Ponte 10 A. Escala: 2 ns/div.



Fonte: Produção do autor.

Com os principais pontos destacados do circuito de potência na situação de tensão de 200 V, prosseguiu-se com a verificação de alguns detalhes com 400 V, conforme pode ser acompanhado a seguir.

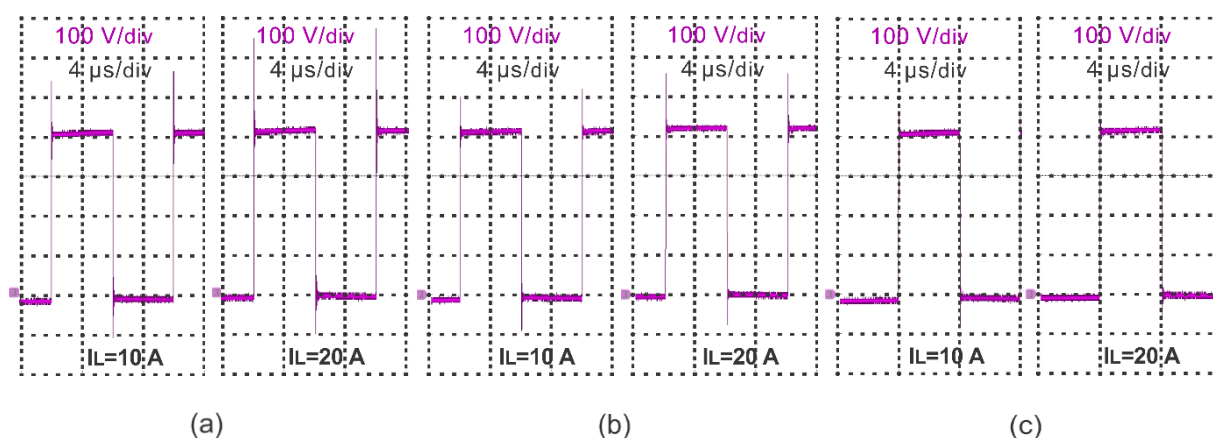
6.3 COMPORTAMENTO DO CIRCUITO DE POTÊNCIA 400 V

O comportamento do circuito de potência com aplicação da tensão de 400 V foi verificado nos protótipos DPT 1, DPT 2 e DPT Meia Ponte. De forma similar ao apresentado para a tensão de 200 V, os resultados de todos os protótipos com a tensão de 400 V estão reunidos e apresentados na sequência na forma comparativa.

A visão geral da tensão V_{ds} do DPT 1 operando com 400 V está apresentada na Figura 105 (a), sendo (i) para 10 A e (ii) para 20 A. Igualmente ao ocorrido para 200 V, ao comparar-se as situações i) e ii), já se torna visível um aumento no sobressinal na transição de subida, isso quando aumenta-se o valor de corrente. O mesmo ocorre no DPT 2 na Figura 105 (b). Quando comparado a visão geral do DPT 1 com o DPT 2, pode-se verificar a redução de sobressinal na transição de subida. Uma indicativa inicial de provável aprimoramento do protótipo da primeira versão para a segunda.

As diferentes situações da tensão V_{gs} durante o estado desligado no DPT 2 ($C=1500$ pF e $C=680$ pF) também foram verificadas com a aplicação da tensão de 400 V. As visões gerais para as duas situações são similares, conforme pode ser visto na Figura 105 (b) e na Figura 105 (c).

Figura 105 – Visão geral da tensão V_{ds} : (a) DPT 1; (b) DPT 2; (c) DPT 2 com $C=680$ pF.



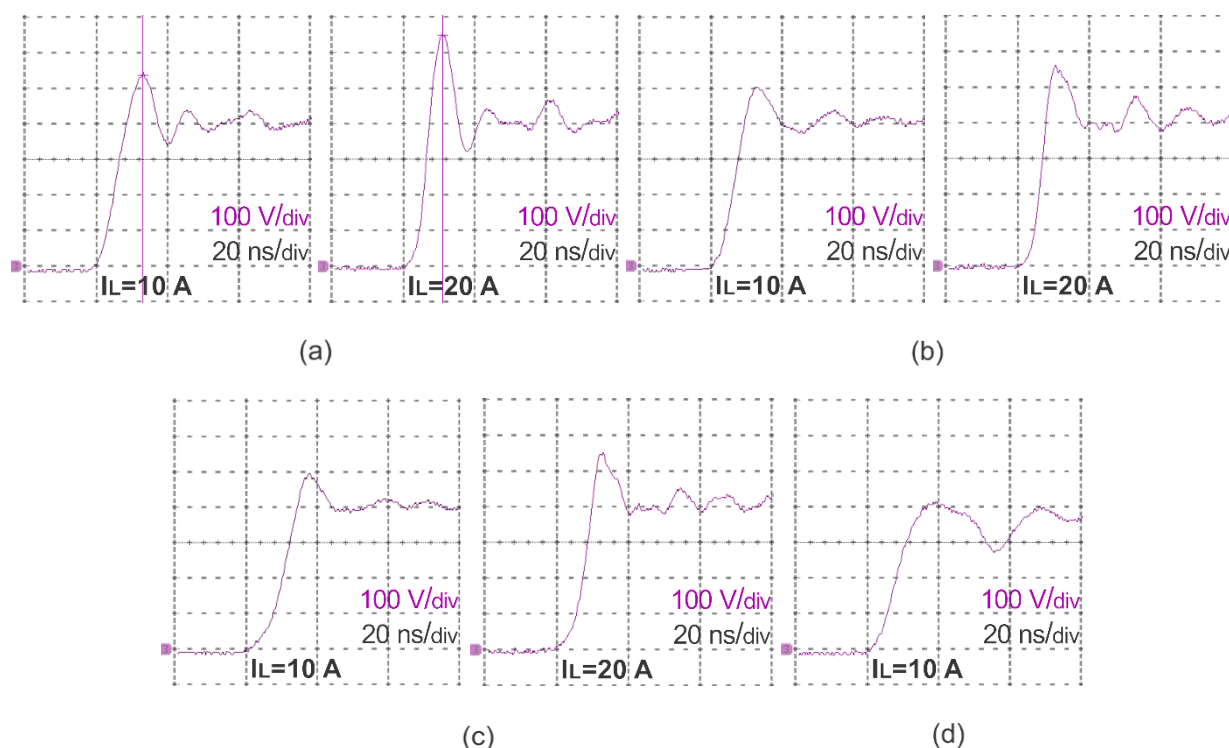
Fonte: Produção do autor.

A transição da tensão V_{ds} no *turn-off* do DPT 1 está apresentada na Figura 106 (a), sendo (i) para 10 A e (ii) para 20 A. Na situação de 10 A se verificou o valor máximo de sobressinal de 536 V e com 20 A se verificou 648 V. Para o DPT 2, verificou-se 500 V e 556 V. As reduções dos valores de máximo sobressinal estão relacionadas com a redução da indutância parasita da malha de potência quando comparado da primeira versão para a segunda versão do protótipo.

Os tempos de subida do DPT 1 da Figura 106 (a) foram constatados como 6,26 ns para a situação de 10 A (i) e 3,98 ns para 20 A (ii). Os valores obtidos foram muito similares aos do DPT 2 na Figura 106 (b), sendo 5,88 ns e 4,16 ns, respectivamente. Analogamente ao mencionado para os 200 V, a redução do tempo de subida está relacionada com o aumento do nível da corrente I_d antes da transição *turn-off*. A segunda situação do DPT 2 ($C=680$ pF) na Figura 106 (c), verificou-se um tempo de rampa de 9,04 ns para a situação de corrente de 10 A (i) e 6,26 ns para 20 A (ii).

O DPT Meia Ponte está apresentado na Figura 106 (d) para a corrente de 10 A, verificou-se o tempo de rampa de 10 ns e o valor máximo de sobressinal de 412 V.

Figura 106 – *Turn-off* da tensão V_{ds} : (a) DPT 1; (b) DPT 2; (c) DPT2 $C=680$ pF; (d) DPT Meia Ponte.



Fonte: Produção do autor.

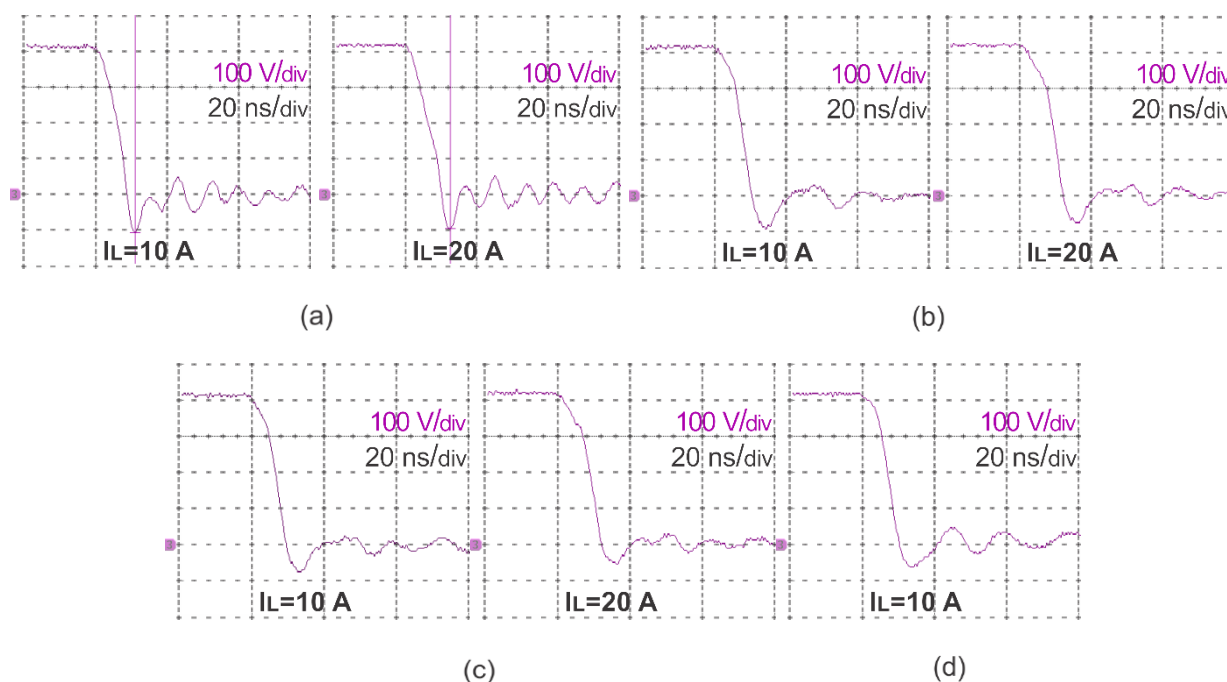
A transição do sinal da tensão V_{ds} de 400 V que ocorre no *turn-on* do interruptor em cada protótipo está apresentada e discutida na sequência.

A transição da tensão V_{ds} no *turn-on* do DPT 1 está apresentada na Figura 107 (a), sendo (i) para 10 A e (ii) para 20 A. Verificou-se os tempos de descida de 6,02 ns para a situação de 10 A (i) e 7,12 ns para 20 A (ii). A rampa de descida do DPT 2 está apresentada na Figura 107 (b), sendo os tempos de descida de 5,95 ns para a situação de 10 A (i) e 7,33 ns para 20 A (ii).

A segunda situação do DPT 2 ($C=680$ pF) está apresentada na Figura 107 (c), foi possível verificar um tempo de rampa de 6,52 ns para a situação de corrente de 10 A (i) e 7,7 ns para 20 A (ii).

Para o DPT Meia Ponte apresentado na Figura 107 (d) com 10 A, na transição do sinal da tensão V_{ds} , verificou-se o tempo de descida de 5,4 ns.

Figura 107 – *Turn-on* da tensão V_{ds} : (a) DPT1; (b) DPT2; (c) DPT2 $C=680$ pF; (d) DPT Meia Ponte.



Fonte: Produção do autor.

Com os principais pontos destacados do circuito de potência nas situações de tensão de 200 V e 400 V, prosseguiu-se com a apresentação de alguns detalhes adicionais do circuito de potência do DPT Meia Ponte.

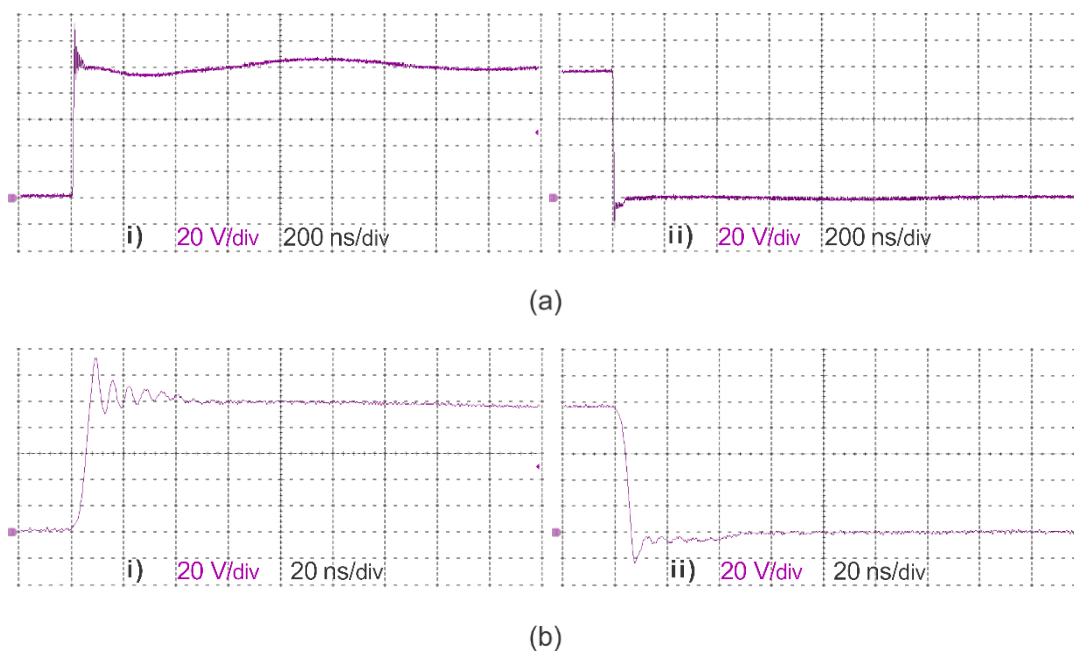
6.4 DETALHES ADICIONAIS DO DPT MEIA PONTE

O comportamento do circuito de potência do DPT Meia Ponte está apresentado na sequência. Na abordagem estão apresentadas as tensões V_{ds} no interruptor DUT i) (inferior) e no interruptor complementar ii) (superior). A análise a seguir inicia com o interruptor DUT no estado de condução e o interruptor complementar no estado de bloqueio. Com isso, a corrente no indutor está aumentando até o ponto de teste desejado. O valor da corrente empregado no teste foi de 10 A. Portanto na análise, o valor inicial da tensão V_{ds} do interruptor DUT é próximo a zero, visto que se encontra no estado de condução e o valor da tensão V_{ds} do interruptor complementar é de aproximadamente 100 V, visto que se encontra no estado de bloqueio.

O instante de tempo em que ocorre o processo de comutação referenciado como *turn-off*, devido ao bloqueio do interruptor DUT, está representado na Figura 108 (a). Primeiramente, o interruptor DUT é desabilitado pelo comando, com isso se inicia o processo de comutação. O valor da tensão V_{ds} do interruptor DUT se altera de zero para 100 V, conforme pode ser verificado em i). Já no interruptor complementar o valor da tensão V_{ds} se altera de 100 V para zero, conforme pode ser verificado em ii).

No circuito de comando foi previsto um intervalo de tempo entre o desacionamento do interruptor DUT e acionamento do interruptor complementar, denominado de tempo morto. Após o desacionamento do interruptor DUT existe um intervalo de tempo próximo a 60 ns que o interruptor complementar não foi acionado pelo comando. E durante o intervalo de tempo morto, o interruptor complementar conduz reversamente, análogo ao modo diodo reverso da tecnologia MOSFET. O intervalo de tempo morto está presente logo após a comutação *turn-off* e pode ser visto com detalhe na Figura 108 (b). Na tensão V_{ds} do interruptor DUT apresentada em i) pode ser visto o valor médio maior que 100 V. Já na tensão V_{ds} do interruptor complementar em ii) pode ser visto o valor negativo durante a condução reversa de aproximadamente -5,8 V. O valor de sobressinal foi verificado como 133 %, a oscilação de 158 MHz, o tempo de subida de 4,24 ns e a derivada de 18,92 kV/ μ s.

Figura 108 – *Turn-off*. Tensão V_{ds} no DPT Meia Ponte para $I_d=10$ A e $V_{ds}=100$ V. Interruptor: i) DUT (inferior); ii) complementar (superior). Visões: (a) geral; (b) detalhe.

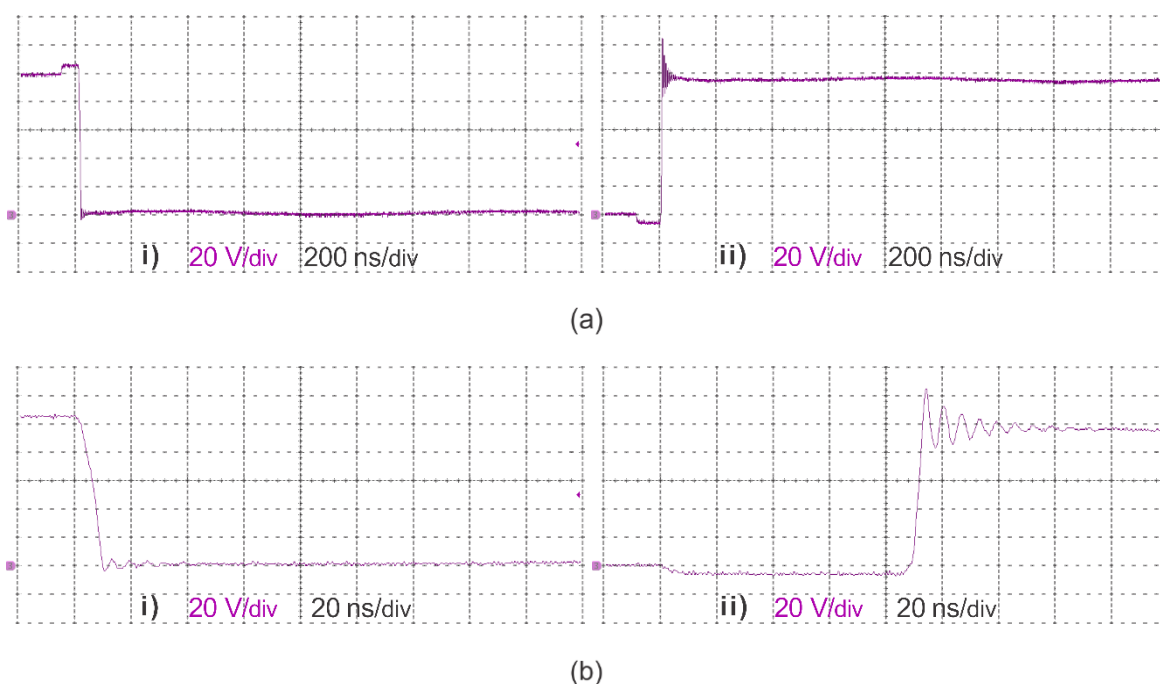


Fonte: Produção do autor.

O instante de tempo em que ocorre o *turn-on*, no início da condução do interruptor DUT, está representado na Figura 109 (a). O interruptor complementar é desabilitado e o interruptor DUT é habilitado pelo comando. O valor da tensão V_{ds} do interruptor DUT se altera de 100 V para zero, conforme em i). Já no interruptor complementar, o valor da tensão V_{ds} se altera de zero para 100 V, conforme em ii).

No circuito de comando também foi previsto um intervalo de tempo entre o desacionamento do interruptor complementar e acionamento do interruptor DUT, um segundo tempo morto. Após o desacionamento do interruptor complementar existe um intervalo de tempo próximo a 60 ns no qual o interruptor DUT não foi acionado pelo comando. E durante esse intervalo, o interruptor complementar novamente conduz reversamente, sem ação do comando, análogo ao modo diodo reverso da tecnologia MOSFET. O intervalo de tempo morto pode ser visto no detalhe na Figura 109 (b). Na tensão V_{ds} do interruptor DUT apresentada em i) pode ser visto novamente o valor médio maior que 100 V, conforme ocorreu no primeiro tempo morto. Já na tensão V_{ds} do interruptor complementar em ii) pode ser visto novamente o valor negativo durante a condução reversa de -5,8 V. O valor da oscilação foi verificado de 168 MHz, o tempo de descida de 6,11 ns e a derivada de -13,08 kV/ μ s.

Figura 109 – *Turn-on*. Tensão V_{ds} no DPT Meia Ponte para $I_d=10$ A e $V_{ds}=100$ V. Interruptor: i) DUT (inferior); ii) complementar (superior). Visões: (a) geral; (b) detalhe.



Fonte: Produção do autor.

Com os principais pontos destacados do circuito de potência, prosseguiu-se com a verificação de alguns detalhes nas proximidades dos limites do interruptor, conforme pode ser acompanhado a seguir.

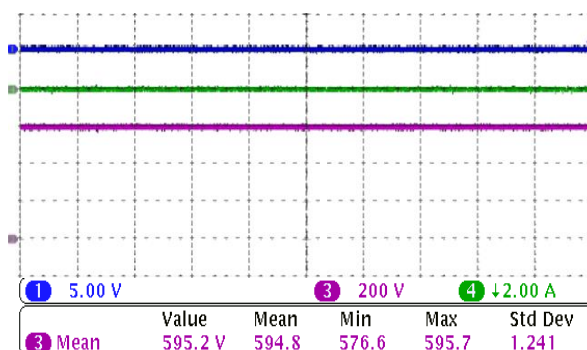
6.5 TESTES NAS PROXIMIDADES DOS LIMITES DO INTERRUPTOR

Para a avaliação do interruptor foram realizados alguns testes nas proximidades dos limites de tensão V_{ds} e corrente I_d suportados pelo interruptor.

O teste realizado nas proximidades dos limites do interruptor foi condicioná-lo ao seu limite máximo de tensão V_{ds} que é de 600 V. O interruptor foi mantido na tensão de bloqueio de 600 V por longo período de tempo e se manteve sempre em bloqueio com valor de corrente I_d de zero, conforme apresentado na Figura 110.

Além do teste de bloqueio, com tensão elevada, realizou-se o teste de condução, com valor de corrente elevada. O teste foi condicionar o interruptor ao seu limite máximo de corrente I_d que é de 60 A. No DPT 1, verificou-se a corrente I_d com o auxílio do sensor shunt que se encontra conectado em série com o interruptor.

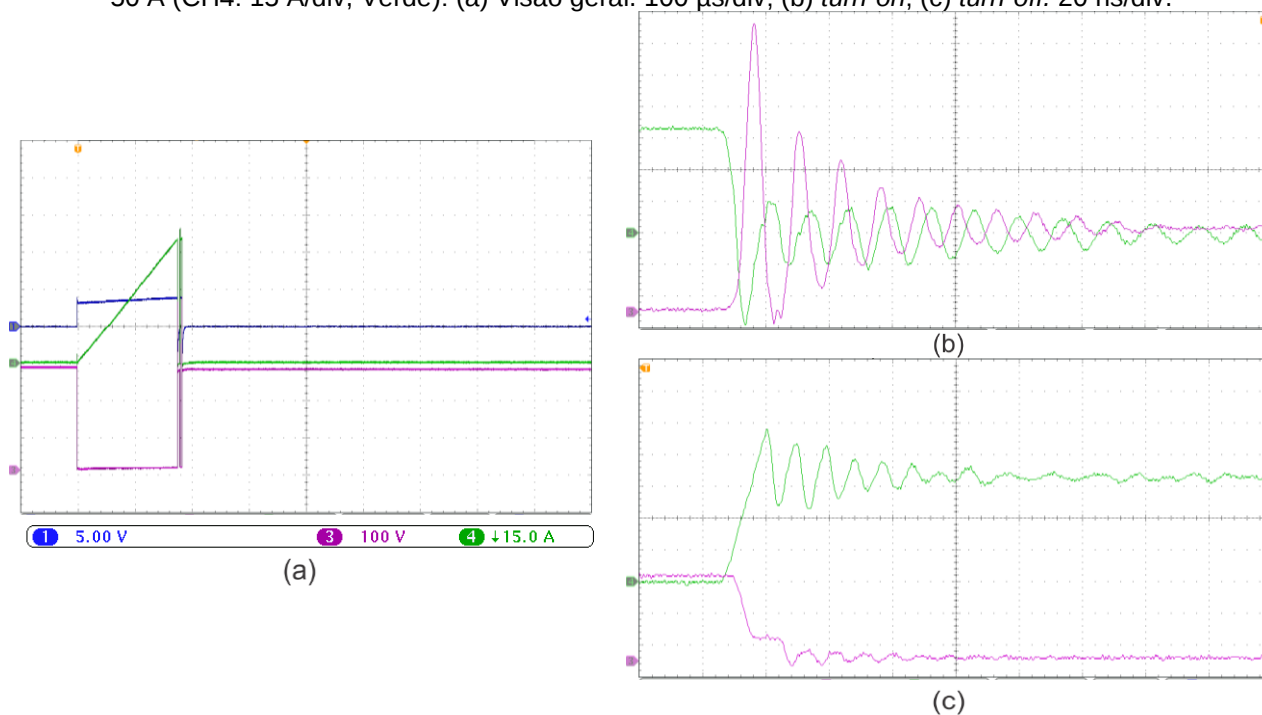
Figura 110 – Bloqueio de 600 V. Sinais: tensão Vgs (CH1); tensão Vds (CH3); corrente Id (CH4).
Escala: 4 μ s/div.



Fonte: Produção do autor.

A operação do interruptor nas proximidades do limite de corrente I_d foi verificada para a condução de corrente de 50 A. A corrente aumenta linearmente de 0 até 50 A. Ao atingir o valor de 50 A foram realizadas as comutações *turn-on* e *turn-off*. O valor aplicado da tensão V_{ds} foi de 275 V. A visão geral está apresentada na Figura 111 (a), a transição *turn-off* na Figura 111 (b) e a transição *turn-on* na Figura 111 (c).

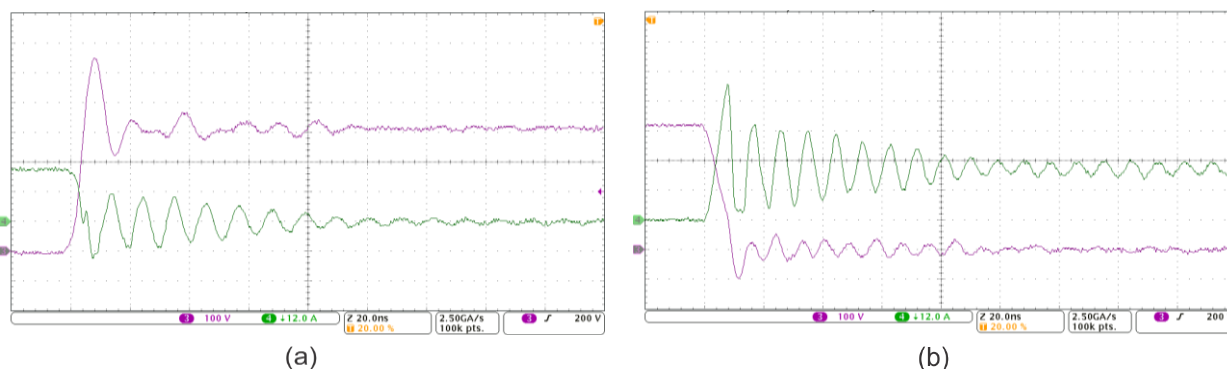
Figura 111 – Tensão Vgs (CH1: 5 V/div, Azul), tensão Vds 275 V (CH3: 100 V/div, Rosa) e corrente Id 50 A (CH4: 15 A/div, Verde): (a) Visão geral. 100 μ s/div; (b) *turn-on*; (c) *turn-off*. 20 ns/div.



Fonte: Produção do autor.

As transições *turn-off* e *turn-on* para o valor da tensão V_{ds} de 400 V e corrente I_d de 20 A estão apresentadas na Figura 112 (a) e na Figura 112 (b), respectivamente.

Figura 112 – Tensão V_{ds} 400 V (CH3: 100 V/div, Rosa) e corrente I_d 20 A (CH4: 12 A/div, Verde): (a) *turn-on*; (b) *turn-off*. Escala de tempo: 20 ns/div.



Fonte: Produção do autor.

O próximo passo foi a verificação do comportamento do interruptor durante as transições de estado *turn-off* e *turn-on*.

6.6 TRANSIÇÕES *TURN-OFF* E *TURN-ON*

As transições de estado *turn-off* e *turn-on* do interruptor foram verificadas no DPT 1, DPT 2, DPT 2 com alteração de $C=680$ pF e DPT Meia Ponte, sendo que os resultados dos testes estão expostos e discutidos na sequência.

Os testes foram realizados com valores de corrente I_d de 1 a 10 A, com intervalos de 1 A. E para os valores de tensão V_{ds} foram utilizados 100 V, 200 V, 275 V e 400 V.

Na execução dos testes nos três primeiros níveis de tensão, empregou-se a ponteira de baixa tensão, já para a tensão de 400 V foi empregada a ponteira de alta tensão. A organização da exposição dos testes foi definida na seguinte ordem: tensão e corrente no *turn-off*; tensão e corrente no *turn-on*; potências no *turn-off* e *turn-on*; por fim os valores de energias no *turn-off* e *turn-on*.

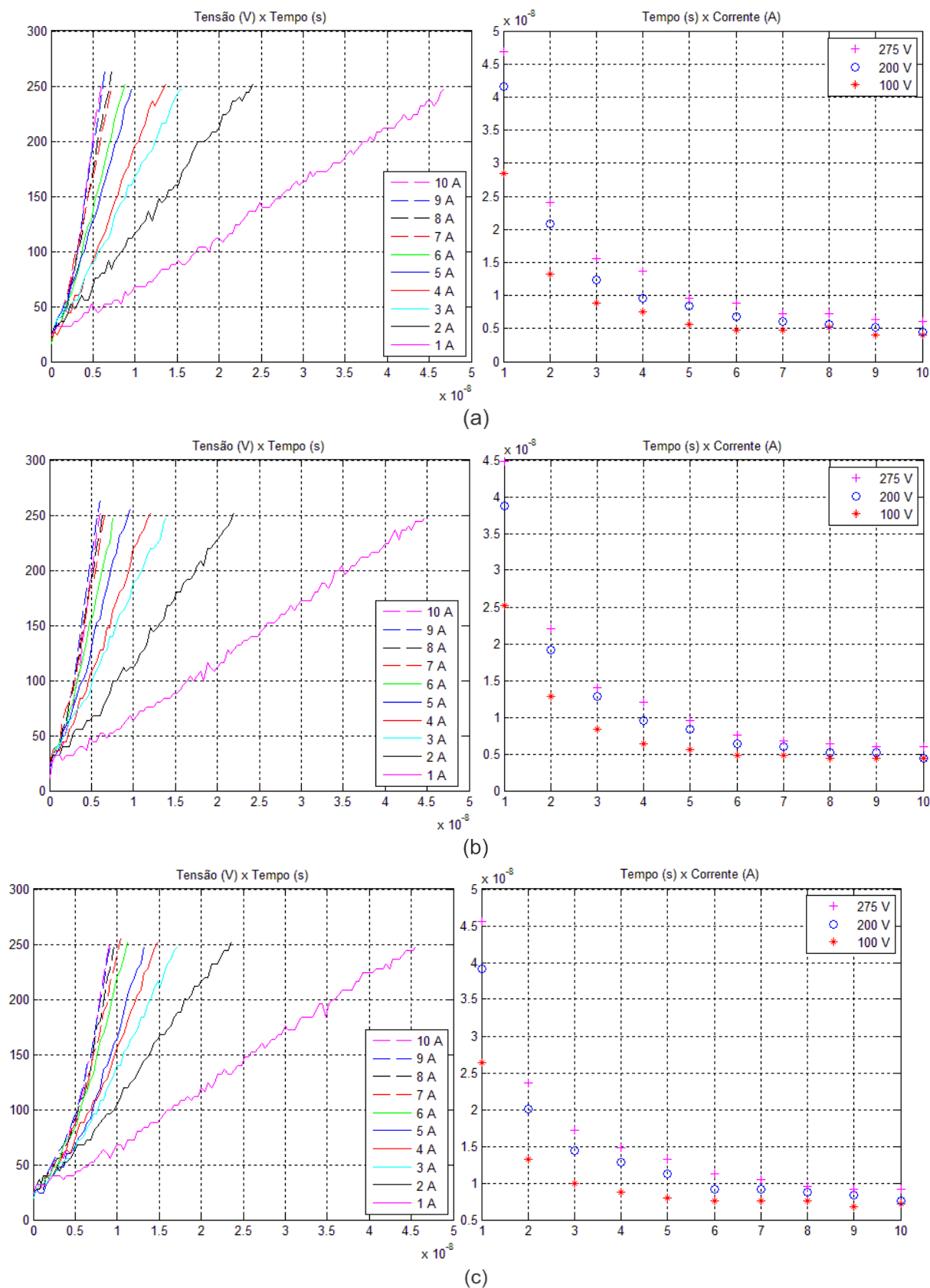
Primeiramente, as transições da tensão V_{ds} no *turn-off* do DPT 1 para os valores da tensão de 275 V e corrente I_d de 1 a 10 A estão apresentadas em (i) na Figura

113 (a). O comportamento das rampas de subida foi avaliado de 10 % a 90 % do valor da tensão do teste. Na Figura 113 (a) é possível verificar em (i) que ao aumentar o valor da corrente I_d , tem-se rampas com inclinação de maior derivada, portanto valores de tempo de subida menores. Por exemplo, verifica-se uma derivada de 17,1 GV/s para rampa de 4 A e 33,9 V/s para 8 A. O tempo das rampas de subida de 275 V apresentados em (i) estão mencionados em (ii) na Figura 113 (a), juntamente com os tempos das rampas de subida empregando os valores de tensão de 100 V e 200 V.

As transições da tensão V_{ds} no *turn-off* do DPT 2 também foram verificadas e estão apresentadas em (i) na Figura 113 (b). O comportamento das rampas praticamente não sofreu alterações ao se comparar com DPT 1, pode-se verificar que o aumento do valor da corrente I_d igualmente acarreta em rampas com inclinação de maior derivada e tempos de subida menores. As derivadas de 19 GV/s com 4 A e 36,2 GV/s com 8 A. E os tempos de subida do DPT 2 sendo aplicadas as tensões de 100 V, 200 V e 275 V estão apresentados em (ii) na Figura 113 (b). Os valores verificados se apresentam similares aos apresentados no DPT 1 em (ii) na Figura 113 (a). Por exemplo, para 4 A, tem-se os tempos de 13,6 ns no DPT 1 e 12 ns no DPT 2.

A segunda situação do DPT 2 ($C=680$ pF) também foi verificada na condição de 275 V, sendo que as rampas de V_{ds} no *turn-off* podem ser vistas em (i) para vários níveis de corrente e os tempos das rampas de 100 V, 200 V e 275 V estão apresentados em (ii) na Figura 113 (c). Da análise do conjunto de resultados pode ser constatado o aumento dos tempos de rampa em todas as condições quando comparado com o DPT 2 na Figura 113 (b). Por exemplo, para 4 A, tem-se os tempos de 14,8 ns, e no DPT 2, de 12 ns.

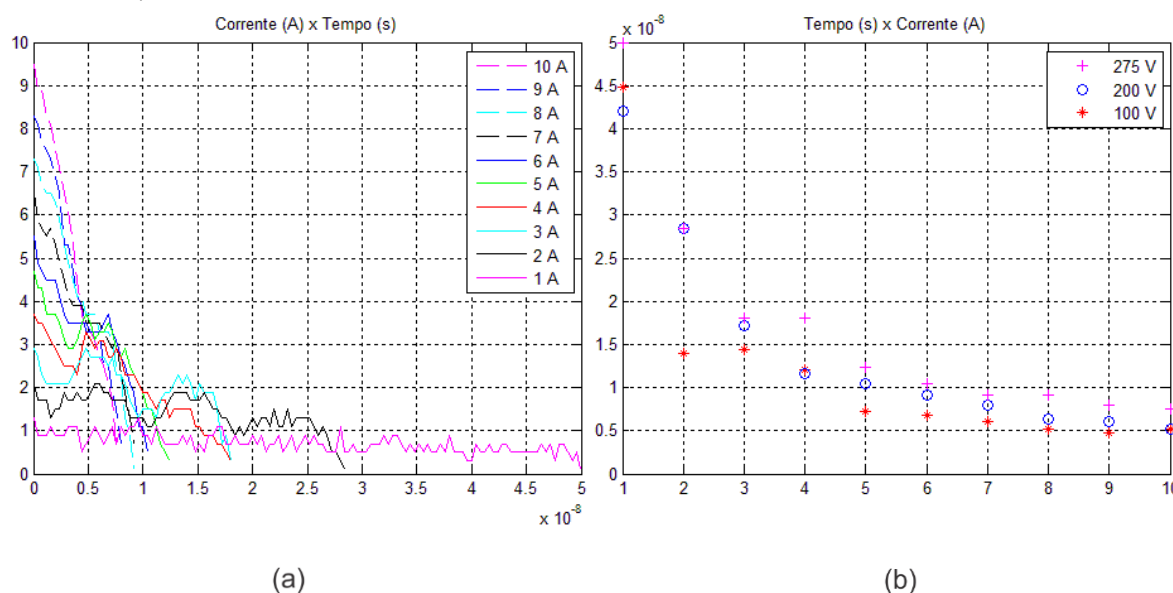
Figura 113 – Transição da tensão V_{ds} no *turn-off* de 10 a 90 % para vários níveis de corrente, sendo (i) forma de onda da tensão de 275 V durante a transição e (ii) tempo da transição das tensões de 100, 200 e 275 V: (a) DPT 1; (b) DPT 2; (c) DPT 2 com $C=680$ pF.



Fonte: Produção do autor.

As transições da corrente I_d no *turn-off* também foram verificadas, os valores empregados foram a tensão V_{ds} de 275 V e corrente I_d de 1 a 10 A, conforme apresentado em (i) na Figura 114. O comportamento das rampas de descida foi avaliado de 90 % a 10 % do valor da corrente do teste. Com o aumento do valor da corrente I_d , as rampas decrescem mais rapidamente, sendo assim os valores de tempo de descida obtidos são menores. O tempo das rampas de descida para 275 V de (i) na Figura 114 estão mencionados em (ii) na Figura 114 juntamente com os tempos das rampas de subida empregando as tensões de 100 V e 200 V.

Figura 114 – Transição da corrente I_d no *turn-off* de 90 a 10 % para vários níveis de corrente: (a) forma de onda da corrente para 275 V durante a transição; (b) tempo da transição para as tensões V_{ds} de 100, 200 e 275 V.



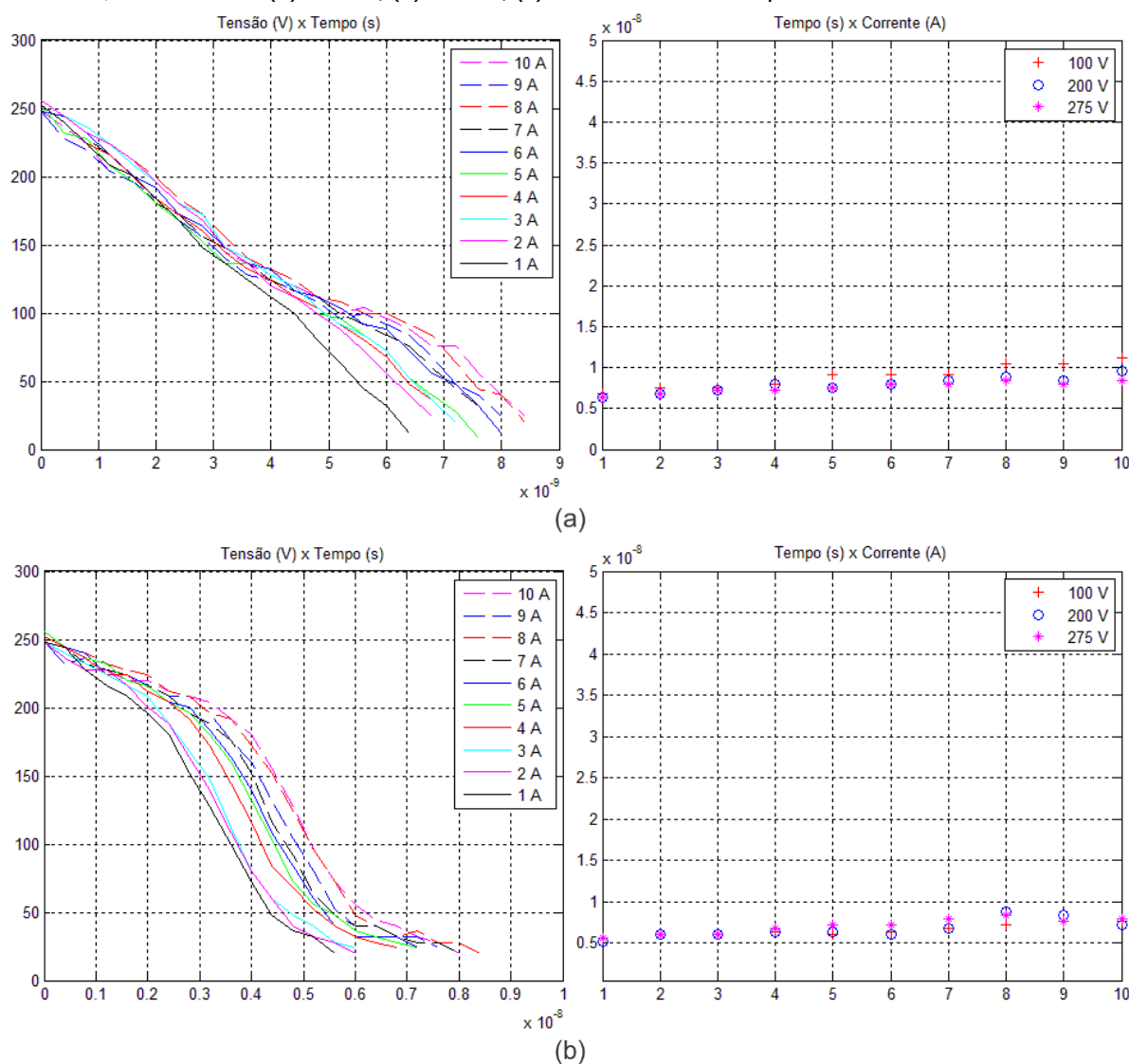
Fonte: Produção do autor.

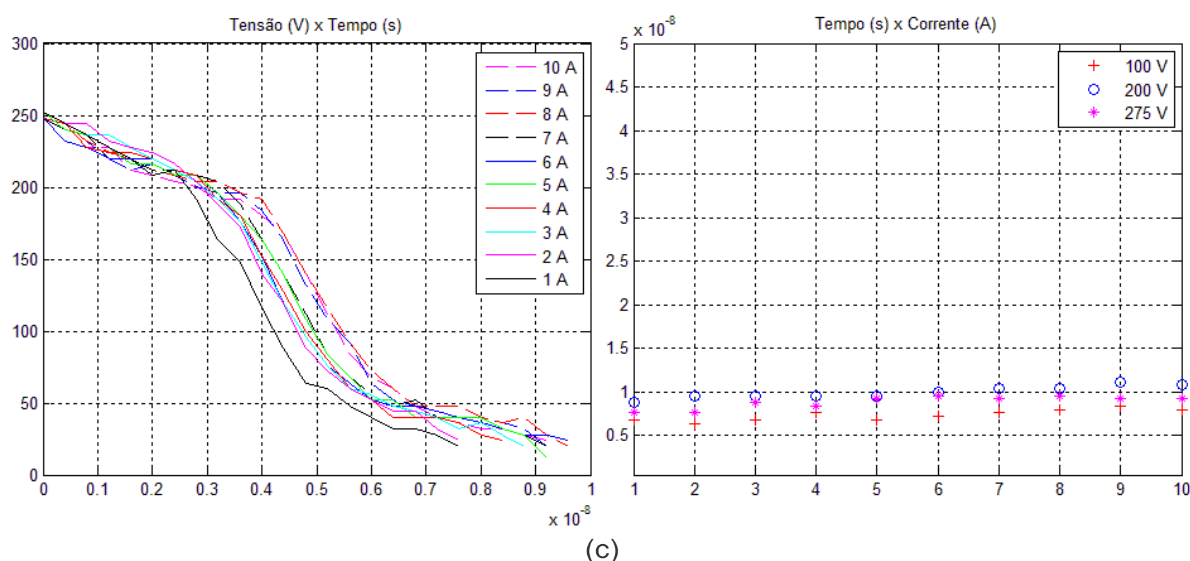
De forma similar ao realizado para o *turn-off*, verificou-se as transições da tensão V_{ds} no *turn-on*, sendo empregados os mesmos valores, como a tensão de 275 V e corrente I_d de 1 a 10 A. As transições da tensão V_{ds} no *turn-on* com aplicação de 275 V estão apresentadas na Figura 115 (a), pode-se verificar que o aumento do valor da corrente I_d acarreta em pouca alteração nas rampas de descida, isto é, quando são comparadas com as alterações relativamente maiores que foram apresentadas do *turn-on*. Por exemplo, verifica-se uma derivada de -32,2 GV/s para rampa de 4 A e -27,1 GV/s para 8 A. O tempo das rampas de descida para 275 V, juntamente com os tempos empregando os valores de 100 V e 200 V estão mencionados em (ii) na

Figura 115 (a). De forma geral, os valores de tempo de descida foram verificados com um pequeno incremento em função do aumento do nível de corrente, isso para as três situações de valores de tensão.

As transições da tensão V_{ds} para 275 V no *turn-off* e os tempos de descida do DPT 2 e DPT 2 com a alteração para $C=680$ pF estão apresentadas em (i) e (ii) na Figura 115 (b) e Figura 115 (c), respectivamente. Com a alteração de C no DPT 2 foi possível verificar o aumento geral do tempo de descida nos resultados obtidos, por exemplo, o aumento de 6,8 ns para 8,4 ns com 4 A e 8,4 ns para 9,6 ns com 8 A.

Figura 115 – Transição da tensão V_{ds} no *turn-on* de 90 a 10 % para vários níveis de corrente, sendo (i) forma de onda da tensão de 275 V durante a transição e (ii) tempo da transição das tensões de 100, 200 e 275 V: (a) DPT 1; (b) DPT 2; (c) DPT 2 com $C=680$ pF.

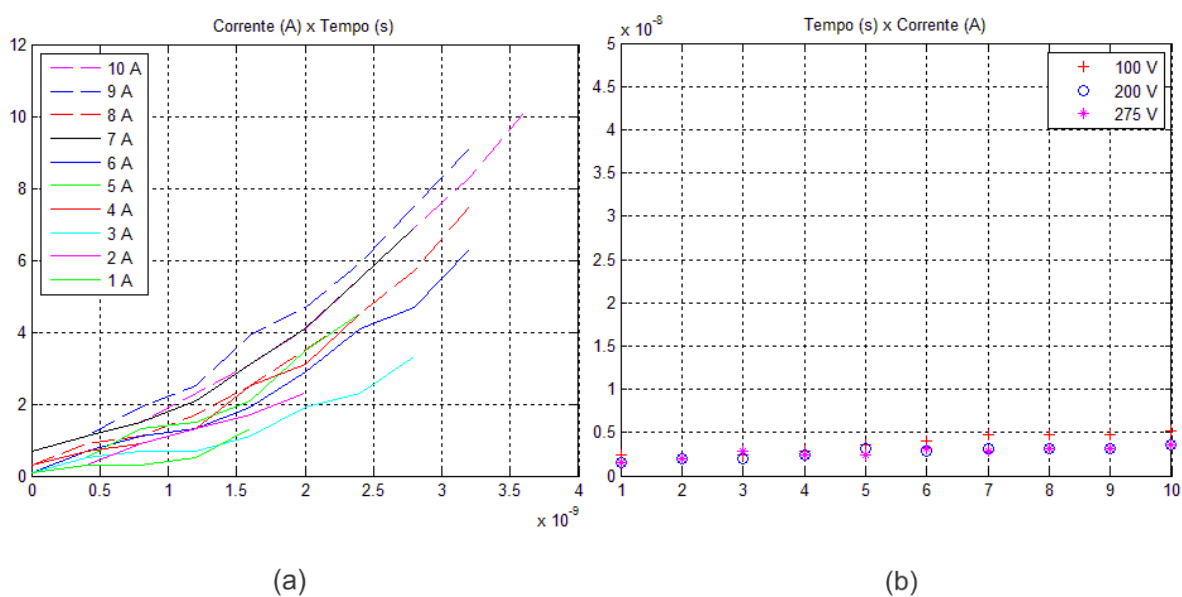




Fonte: Produção do autor.

O comportamento da corrente I_d na transição *turn-on* do DPT 1 também foi verificado, sendo apresentadas as transições de corrente com a aplicação de 275 V em (i) e os tempos de subida em (ii) na Figura 116. O comportamento das transições é bastante similar para toda faixa verificada de corrente, com um pequeno acréscimo no valor de tempo de transição de acordo com o aumento do nível de corrente.

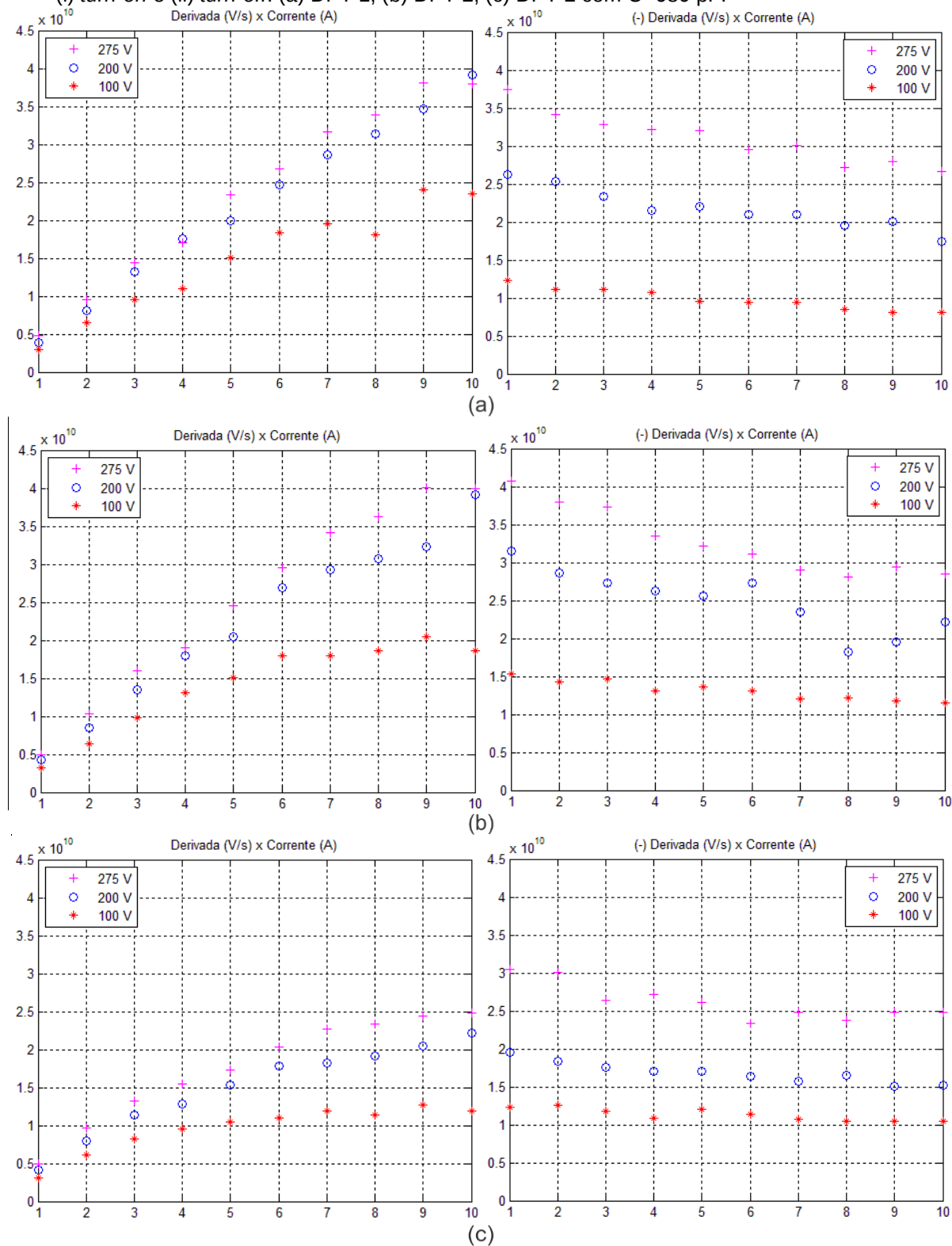
Figura 116 – Transição da corrente I_d no *turn-on* de 10 a 90 % para vários níveis de corrente: (a) forma de onda da corrente para 275 V durante a transição; (b) tempo da transição para as tensões V_{ds} de 100, 200 e 275 V.



Fonte: Produção do autor.

Os valores das derivadas da tensão V_{ds} estão apresentados na Figura 117.

Figura 117 – Valores de derivadas nas transições da tensão V_{ds} para vários níveis de corrente, sendo (i) *turn-on* e (ii) *turn-off*. (a) DPT 1; (b) DPT 2; (c) DPT 2 com $C=680$ pF.



Fonte: Produção do autor.

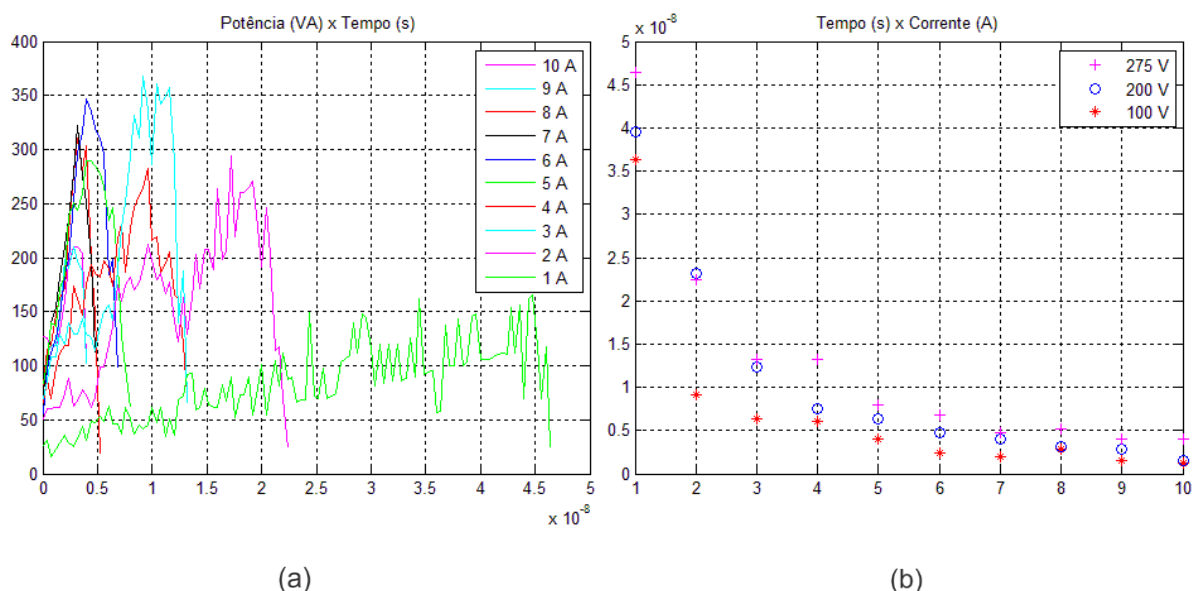
A partir das transições da tensão V_{ds} e da corrente I_d no *turn-off* do DPT 1 apresentadas em (i) na Figura 113 (a) e Figura 114, foi possível dar continuidade e verificar a potência instantânea de cada transição do *turn-off*.

O intervalo de tempo da análise foi definido com instantes inicial e final da seguinte forma:

- O instante de tempo inicial foi definido no ponto em que a transição de subida de V_{ds} atinge 10 %;
- O instante de tempo final foi definido no ponto em que a transição de descida de I_d atinge 10 %.

O comportamento da potência instantânea para a tensão V_{ds} de 275 V e para os níveis de corrente I_d de 1 a 10 A está apresentado em (i) na Figura 118. Os intervalos de tempo obtidos de 10 % da tensão V_{ds} até 10 % da corrente I_d estão apresentados em (ii) na Figura 118.

Figura 118 – Transição de 10 % da tensão V_{ds} a 10 % da corrente I_d no *turn-off* para vários níveis de corrente: (a) forma de onda da potência instantânea para a tensão V_{ds} de 275 V durante a transição; (b) tempo da transição de 10% de V_{ds} a 10% de I_d nas tensões de 100, 200 e 275 V.



Fonte: Produção do autor.

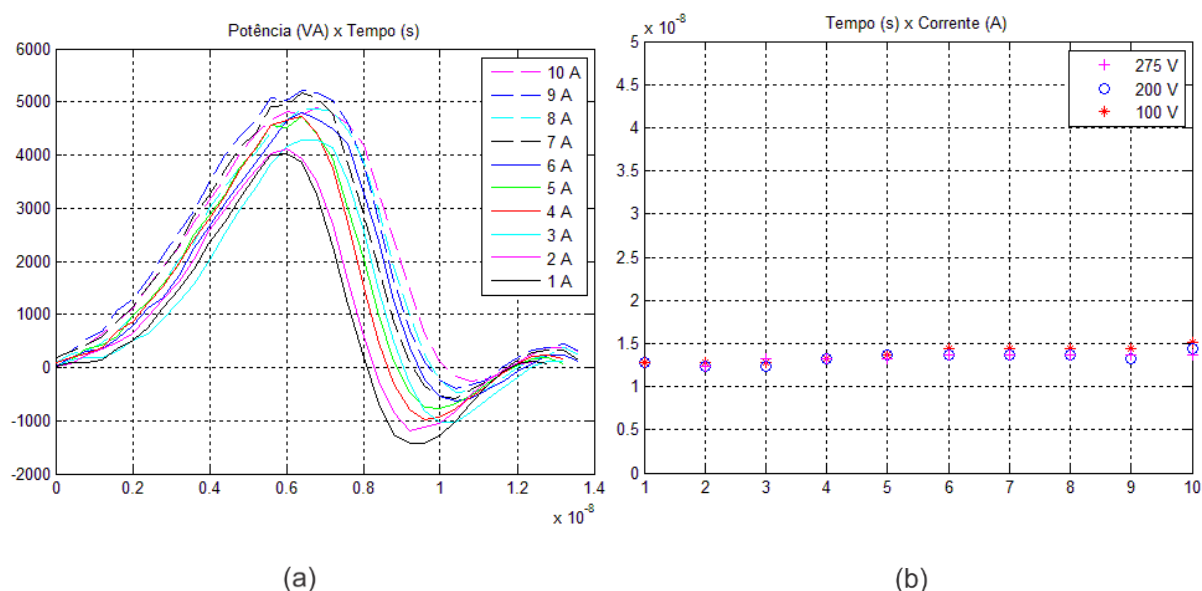
Com as transições da tensão V_{ds} e da corrente I_d no *turn-on* do DPT 1 apresentadas em (i) na Figura 115 (a) e Figura 116, foi possível verificar o comportamento da potência instantânea no *turn-on*.

O intervalo de tempo para a análise foi definido com instantes inicial e final da seguinte forma:

- O instante de tempo inicial foi definido no ponto em a transição de subida de I_d atinge 10 %;
- O instante de tempo final foi definido no ponto em a transição de descida de V_{ds} atinge 10 %.

O comportamento da potência instantânea para a tensão V_{ds} de 275 V e para os níveis de corrente I_d de 1 a 10 A pode ser visto em (i) na Figura 119 e os intervalos de tempo obtidos de 10 % da tensão V_{ds} até 10 % da corrente I_d estão em (ii) na Figura 119.

Figura 119 – Transição de 10 % da corrente I_s a 10 % da tensão V_{ds} no *turn-on* para vários níveis de corrente: (a) forma de onda da potência instantânea para a tensão V_{ds} de 275 V durante a transição; (b) tempo da transição de 10% de I_s a 10% de V_{ds} nas tensões de 100, 200 e 275 V.

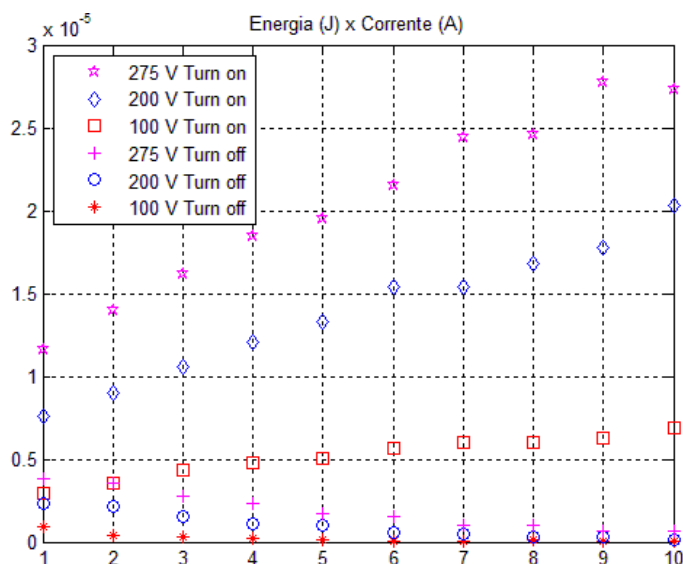


Fonte: Produção do autor.

Os valores de energia durante as transições *turn-on* e *turn-off* foram avaliados em decorrência da análise das potências instantâneas e durante os intervalos de tempo estipulados, conforme apresentado na Figura 119. Para toda faixa de corrente

avaliada foi possível verificar valores maiores de energia durante a transição *turn-on*, conforme pode ser visto na Figura 120.

Figura 120 – Energia durante as transições *turn-on* e *turn-off* para vários níveis de corrente e tensões de 100, 200 e 275 V. Para o intervalo de transição de 10 % do sinal de subida a 10 % do sinal de descida.



Fonte: Produção do autor.

Algumas outras formas podem ser utilizadas para delimitar o intervalo de tempo no que diz respeito aos intervalos de comutação, porém o método mencionado foi empregado no presente trabalho seguindo o apontamento de algumas referências.

Um resumo dos principais resultados experimentais obtidos das formas de onda dos testes que foram apresentados ao longo do capítulo pode ser verificado na Tabela 1.

Os resultados experimentais foram apresentados, buscando-se atingir os objetivos estipulados. Primeiramente foram apresentados alguns detalhes do comando de *gate*, na sequência o detalhamento de operações de potência com aplicação de tensões de 200 V, 400 V e nas proximidades dos limites do interruptor. E por último foi possível verificar detalhes das transições *turn-off* e *turn-on* obtidos para diferentes valores de corrente.

Tabela 26 – Resumo de valores obtidos nos testes experimentais.

200 V			
Corrente de teste (A)	Sobressinal (V)	Tempo de subida (ns)	Tempo de descida (ns)
DPT versão 1			
10	256	5,3	8,46
20	374	3,4	10,06
DPT versão 2			
10	233	5,46	8,97
20	277	4,05	10,52
DPT versão Meia Ponte			
10	242	5,9	6,73
400 V			
Corrente de teste (A)	Sobressinal (V)	Tempo de subida (ns)	Tempo de descida (ns)
DPT versão 1			
10	536	6,26	6,02
20	648	3,98	7,12
DPT versão 2			
10	500	5,88	5,95
20	556	4,16	7,33
DPT versão Meia Ponte			
10	412	10	5,4

Fonte: Produção do autor.

Com base nas análises experimentais apresentadas foi possível delinear alguns importantes pontos envolvidos no emprego do interruptor **GaN** HEMT.

7 CONCLUSÃO

O presente trabalho abordou o projeto e desenvolvimento de um circuito DPT destinado ao estudo e caracterização do interruptor de **GaN** HEMT com modelo IGOT60R070D1 da Infineon. Para isso, primeiramente houve necessidade de destacar os principais tipos de interruptores de **GaN** HEMT, incluindo-se os principais detalhes e permitindo uma introdução da tecnologia. Houve também a necessidade de uma abordagem do circuito DPT, para que o projeto do circuito e a forma de aplicação dos testes pudessem ser desempenhados para a obtenção de resultados satisfatórios.

Uma primeira versão de protótipo DPT denominada de DPT 1 foi projetada e construída. Com os primeiros resultados experimentais obtidos nos testes empregando o interruptor de **GaN**, verificou-se grandes valores de sobressinal nas comutações. A partir disso, um estudo para aprimoramento de *layout* de placa foi iniciado, para que uma segunda versão de protótipo DPT denominada de DPT 2 pudesse ser desenvolvida.

Primeiramente, a malha de potência do DPT 1 foi projetada com o caminho de retorno da corrente principal (corrente de *source Is*) de forma lateral, ou seja, praticamente toda a malha de potência se encontrava do mesmo lado da placa lateralmente. Já no DPT 2, a malha de potência foi projetada com o caminho de retorno da corrente principal (corrente de *source Is*) no lado oposto da placa, obtendo-se o cancelamento do campo eletromagnético no interior da malha de potência. A remoção de alguns componentes, como o resistor *shunt*, os locais para ponteira Rogowski e capacitores tornaram possíveis obter um projeto de *layout* de placa mais compacto e acarretando a redução dos comprimentos de trilhas, reduzindo-se assim componentes parasitas. Além disso, o resistor *shunt* também contribuía com componentes parasitas na malha de potência, conforme obtido por meio de análise de impedância em função da frequência. O valor da impedância de aproximadamente 0,1 Ω para a faixa de frequência abaixo de 1 MHz e uma parcela resistiva de 77 m Ω para acima de 1 MHz. Para aplicações com necessidade de medição da corrente algumas outras formas podem ser necessárias para minimizar ainda mais os efeitos de característica resistiva e indutiva no caminho da corrente no circuito de potência.

Com utilização dos recursos do programa computacional **Q3D extractor** foi possível realizar a verificação dos principais componentes parasitas presentes na malha de potência dos *layouts* de placa dos protótipos DPT 1 e DPT 2. Em análise específica de 100 kHz foi possível verificar uma indutância total das trilhas da malha de potência de 17,8 nH no DPT 1 e somente 1,6 nH no DPT2, o que representa uma redução de 11 vezes. Com auxílio da ferramenta computacional **Q3D Extractor** foi possível concluir que a malha de potência precisava ser cuidadosamente avaliada, pois impacta nos efeitos parasitas presentes no circuito do protótipo.

Na situação específica da comutação *turn-off* com 20 A e 200 V, na medição da tensão V_{ds} foi verificado o sobressinal de 187% no DPT 1 e 138% no DPT 2. Já a oscilação foi verificada como 74 MHz no DPT 1 e 152 MHz no DPT 2. A diferença na oscilação do DPT 1 para o DPT 2 ocorre devido a dependência do valor da frequência de oscilação com a indutância parasita e a capacitância do interruptor. Com isso, conclui-se que houve aprimoramento do protótipo da primeira versão para a segunda versão, sendo elas diretamente relacionadas com a redução da indutância parasita da malha de potência.

Os resultados experimentais dos protótipos DPT: versão 1, versão 2 e Meia Ponte foram avaliados em detalhes para as operações nas tensões de 200 V e de 400 V e alguns testes nas proximidades dos limites de tensão e corrente do interruptor. Também foi possível verificar um conjunto de várias transições *turn-off* e *turn-on* obtidas em diferentes situações de teste.

O protótipo do DPT Meia Ponte foi testado experimentalmente e foi possível verificar seu funcionamento eficaz na forma de conexão Meia Ponte. Foi possível verificar no interruptor complementar detalhes como o valor negativo que ocorre durante a condução reversa, aproximadamente -5,8 V. Ou ainda no interruptor DUT, o valor do sobressinal verificado como 133 %, a oscilação de 158 MHz presente após a comutação *turn off*, o tempo de subida de 4,24 ns e a derivada de 18,92 kV/ μ s. Também foi possível verificar detalhes no interruptor auxiliar durante o *turn on*, como o valor da oscilação que foi verificado de 168 MHz, o tempo de descida de 6,11 ns e a derivada de -13,08 kV/ μ s.

Os três protótipos, DPT 1, DPT 2 e DPT Meia Ponte foram projetados, construídos e avaliados experimentalmente. Para todos os casos, verificou-se um

atendimento das expectativas quanto ao emprego do DPT, com ele foi possível a realização dos testes previstos. O circuito auxiliar projetado no DPT 1 para medição da tensão de condução no interruptor foi projetada e parcialmente testada. Durante testes preliminares foi possível verificar a funcionalidade dele, verificando-se valores de tensão de condução, mas na sequência, buscou-se a priorização do DPT, não explorando com coletas de dados experimentais.

A tecnologia do dispositivo **GaN** HEMT utilizado no presente trabalho se apresentou totalmente eficaz e atendendo as expectativas. Com ele foi possível realizar todos os testes experimentais desejados, para todas as faixas de corrente I_d e tensão V_{ds} citadas na folha de dados do interruptor. Operou-se com diferentes valores de corrente I_d e tensão V_{ds} nas proximidades dos limites citados na folha de dados, até mesmo com diferentes valores de temperatura. O interruptor não apresentou qualquer tipo de falha que pudesse ser notada. Somente algumas amostras foram danificadas pelo autor, devido a erros do próprio autor durante a obtenção dos resultados experimentais.

A principal dificuldade encontrada durante a elaboração deste trabalho e provavelmente um desafio para a utilização da tecnologia está relacionada com a obtenção de um *layout* de placa apropriado, para que resultados experimentais satisfatórios pudessem ser obtidos.

A placa utilizada no protótipo DPT 1 foi confeccionada por empresa especializada, o que facilitou muito as operações de substituições de componentes. As placas utilizadas nos protótipos DPT 2 e DPT Meia Ponte foram confeccionadas no laboratório da UDESC utilizando a máquina de protótipos por fresagem, portanto houve redução na qualidade final da placa, o que acarretou algumas dificuldades principalmente nos processos de substituição de componentes.

7.1 SUGESTÕES PARA TRABALHOS FUTUROS

Algumas sugestões de trabalhos futuros que representam uma continuidade da linha de pesquisa podem ser citadas, são elas:

- Protótipo com interruptor de **GaN** operando em ponte com otimização de rendimento e compactação.

- Protótipo com interruptor **GaN** destinado à correção de fator de potência com otimização de rendimento e compactação.

8 GLOSSÁRIO

- **AlGaN** Semicondutor denominado de *aluminium-gallium nitride* ou nitreto de gálio-alumínio.
- **Altium** Programa computacional destinado a projeto de placas de circuitos eletrônicos, comumente referenciado por *PCB Design*.
- **Cascode** Tecnologia de interruptor de intensificação obtido a partir da associação de um interruptor de GaN HEMT de depleção e um MOSFET de baixa tensão.
- **Depleção** O dispositivo apresenta a característica de condução normalmente ligado.
- **Forward** Tensão *Forward*, como a tensão direta sobre o diodo. No GaN HEMT, a estrutura apresenta efeito análogo a dois diodos no *gate*, o primeiro diodo do *gate* para *drain* e o segundo diodo do *gate* para *source*. A tensão *Forward* representa o valor limiar que marca a alteração de atuação no *gate* do GaN HEMT.
- **GaN** Semicondutor denominado de *gallium nitride* ou nitreto de gálio.
- **Hard switching** Modo de comutação do interruptor, no qual as trocas de estado do interruptor são realizadas com coexistência de valores de tensão e corrente durante as transições.
- **Intensificação** O dispositivo apresenta a característica de condução normalmente desligado.
- **Q3D Extractor** Programa computacional da Ansys destinado às simulações de projetos 3D visando a obtenção de parâmetros como: resistência e indutância, capacitância.
- **Threshold** Define o limiar de atuação, um ponto que marca a mudança de estado. Quando a grandeza avaliada ultrapassa ou não um determinado valor. Por exemplo, o valor da tensão de *threshold* de *gate*: quando o valor da tensão no terminal de *gate* está abaixo, o interruptor é desligado; e quando está acima, o interruptor é ligado.

REFERÊNCIAS

- AHMAD, S. S.; NARAYANAN, G. Double pulse test based switching characterization of SiC MOSFET. National Power Electronics Conference, p. 319–324, 2017.
- ASIF KHAN, M.; BHATTARAI, A.; KUZNIA, J. N.; OLSON, D. T. High electron mobility transistor based on a GaN-Al_xGa_{1-x}N heterojunction. Applied Physics Letters, v. 63, n. 9, p. 1214–1215, 1993.
- CAI, Y.; ZHOU, Y.; CHEN, K. J.; LAU, K. M. Self-aligned enhancement-mode AlGa_N/Ga_N HEMTs using fluoride-based plasma treatment. IEEE Electron Device Letters, v. 26, n. 7, p. 435–437, 2005.
- CAPPELLO, T.; SANTARELLI, A.; FLORIAN, C. Dynamic RON Characterization Technique for the Evaluation of Thermal and Off-State Voltage Stress of GaN Switches. IEEE Transactions on Power Electronics, v. 33, n. 4, p. 3386–3398, 2018.
- DUSMEZ, S.; YE, Z. Designing a 1kW GaN PFC Stage with over 99 % Efficiency and 155W / in 3 Power Density. IEEE 5th Workshop on Wide Bandgap Power Devices and Applications. Anais... . p.225–232, 2017.
- EFTHYMIOU, L.; LONGOBARDI, G.; CAMUSO, G.; et al. On the physical operation and optimization of the p-GaN gate in normally-off GaN HEMT devices. Applied Physics Letters, v. 110, n. 12, p. 1–5, 2017.
- HONTZ, M. R.; CHU, R.; KHANNA, R. TCAD modeling of a lateral GaN HEMT using empirical data. IEEE Applied Power Electronics Conference and Exposition. Anais... . v. Mar, p.244–248, 2018.
- HOU, R.; LU, J.; CHEN, D. Parasitic capacitance Eqoss loss mechanism, calculation, and measurement in hard-switching for GaN HEMTs. IEEE Applied Power Electronics Conference and Exposition. Anais... . v. Mar, p.919–924, 2018.
- HU, X.; SIMIN, G.; YANG, J.; et al. Enhancement mode AlGa_N/Ga_N HFET with selectively grown pn junction gate. Electronics Letters, v. 36, n. 8, p. 753–754, 2000.
- HUANG, H.; LIANG, Y. C.; SAMUDRA, G. S.; CHANG, T. F.; HUANG, C. F. Effects of gate field plates on the surface state related current collapse in AlGa_N/Ga_N HEMTs. IEEE Transactions on Power Electronics, v. 29, n. 5, p. 2164–2173, 2014.
- HUANG, X.; LIU, T.; LI, B.; LEE, F. C.; LI, Q. Evaluation and Applications of 600V / 650V Enhancement-Mode GaN Devices. IEEE 3rd Workshop on Wide Bandgap Power Devices and Applications, p. 113–118, 2015.

IDE, T.; SHIMIZU, M.; SHEN, X.; et al. Equivalent Circuit Model for a GaN Gate Injection Transistor Bidirectional Switch. *IEEE Transactions on Electron Devices*, v. 59, n. 10, p. 2643–2649, 2012. IEEE.

INFINEON. 1EDI EiceDRIVER™ Compact 1EDI20N12AF. Datasheet, v. 2.0, p. 1–22, 2015. Disponível em: https://www.infineon.com/dgdl/Infineon-1EDI20N12AF-DS-v02_00-EN.pdf?fileId=5546d4614755559a014790299add6112.

INFINEON. 600V CoolGaN Enhancement-Mode Power Transistor IGOT60R070D1. Datasheet, v. 2.12, p. 1–17, 2018. Disponível em: https://www.infineon.com/dgdl/Infineon-IGOT60R070D1-DataSheet-v02_12-EN.pdf?fileId=5546d46265f064ff016685fa65066523.

KHAN, M. A.; CHEN, Q.; SUN, C. J.; et al. Enhancement and depletion mode GaN/AlGaIn heterostructure field effect transistors. *Applied Physics Letters*, v. 514, n. 4, p. 516, 1995.

LI, H.; YAO, C.; HAN, C.; et al. Evaluation of 600 V GaN Based Gate Injection Transistors for High Temperature and High Efficiency Applications. *IEEE 3rd Workshop on Wide Bandgap Power Devices and Applications. Anais...* . p.85–91, 2015.

LI, K.; EVANS, P.; JOHNSON, M. Characterisation and Modelling of Gallium Nitride Power Semiconductor Devices Dynamic On-state Resistance. *IEEE Transactions on Power Electronics*, v. 33, n. 6, p. 5262–5273, 2018.

LI, R.; WU, X.; YANG, S.; SHENG, K. Dynamic On-state Resistance Test and Evaluation of GaN Power Devices under Hard and Soft Switching Conditions by Double and Multiple Pulses. *IEEE Transactions on Power Electronics*, v. 34, n. 2, p. 1044–1053, 2019.

LIDOW, A.; STRYDOM, J.; ROOIJ, M. DE; REUSCH, D. GaN Transistors for Efficient Power Conversion. 2o ed. California, USA, 2015.

LONGOBARDI, G.; UDREA, F.; SQUE, S.; et al. The effect of the surface fixed charge and donor traps on the C(V) and transfer characteristics of a GaN MISFET Experiment and TCAD simulations. 44th European Solid State Device Research Conference. *Anais...* . p.329–332, 2014.

LU, J. L.; HOU, R.; CHEN, D. Opportunities and design considerations of GaN HEMTs in ZVS applications. *IEEE Applied Power Electronics Conference and Exposition. Anais...* . v. Mar, p.880–885, 2018.

MAGMATTEC. Núcleos de Pó de Ferro: Material 002. p. 1–3, 2019. Disponível em: https://www.magmattec.com.br/wp-content/uploads/2019/03/MATERIAL-002_01.pdf.

MORITA, T.; YANAGIHARA, M.; ISHIDA, H.; et al. 650V 3.1mOcm² GaN-based Monolithic Bidirectional Switch Using Normally-off Gate Injection Transistor. *IEEE International Electron Devices Meeting. Anais...* . p.865–868, 2007.

MORITA, T.; TAMURA, S.; ANDA, Y.; et al. 99.3 % Efficiency of Three-Phase Inverter for Motor Drive Using GaN-based Gate Injection Transistors. Twenty-Sixth Annual IEEE Applied Power Electronics Conference and Exposition. Anais... . p.481–484, 2011. IEEE.

MORITA, T.; UJITA, S.; UMEDA, H.; et al. GaN Gate Injection Transistor with Integrated Si Schottky Barrier Diode for Highly Efficient DC-DC Converters. International Electron Devices Meeting. Anais... . p.7.2.1-7.2.4, 2012. IEEE.

PRASOBHU, P. K.; RAVEENDRAN, V.; BUTICCHI, G.; LISERRE, M. Active Thermal Control of a DC / DC GaN-based Converter. IEEE Applied Power Electronics Conference and Exposition. Anais... . p.1146–1152, 2017.

SAITO, W.; TAKADA, Y.; KURAGUCHI, M.; TSUDA, K.; OMURA, I. Recessed-gate structure approach toward normally off high-voltage AlGaIn/GaN HEMT for power electronics applications. IEEE Transactions on Electron Devices, v. 53, n. 2, p. 356–362, 2006.

T & M RESEARCH PRODUCTS, I. # 14 Bare Copper Wire Input Connections BNC (Amphenol) Output Connector. , 2015. Disponível em: http://www.tandmresearch.com/uploads/images/Products/2W_SDN_DRAW.PDF.

TANAKA, K.; MORITA, T.; UMEDA, H.; et al. Suppression of current collapse by hole injection from drain in a normally-off GaN-based hybrid-drain-embedded gate injection transistor. APPLIED PHYSICS LETTERS, v. 107, p. 163502-1-163502–5, 2015.

TANAKA, K.; MORITA, T.; UMEDA, H.; et al. Mechanism of current-collapse-free operation in E-mode GaN gate injection transistors employed for efficient power conversion. IEEE Compound Semiconductor Integrated Circuit Symposium. Anais... . p.1–4, 2016. IEEE.

TANAKA, K.; UMEDA, H.; ISHIDA, H.; ISHIDA, M.; UEDA, T. Effects of hole traps on the temperature dependence of current collapse in a normally-OFF gate-injection transistor Effects of hole traps on the temperature dependence of current collapse in a normally-OFF gate-injection transistor. Japanese Journal of Applied Physics, v. 054101, n. 55, p. 1–8, 2016.

UEMOTO, Y.; HIKITA, M.; UENO, H.; et al. Gate Injection Transistor (GIT)— A Normally-Off Conductivity Modulation. IEEE Transactions on Electron Devices, v. 54, n. 12, p. 3393–3399, 2007.

YAO, T.; AYYANAR, R. A Multifunctional Double Pulse Tester for Cascode GaN Devices. IEEE Transactions on Industrial Electronics, v. 64, n. 11, p. 9023–9031, 2017.

APÊNDICE A

Lista de componentes empregados no protótipo DPT 1.

Tabela 27 - Lista completa de componentes DPT 1.

Referência	Componente	X	Descrição
G1	Interruptor	1	GaN HEMT - IGOT60R070D1
D1	Diodo	1	Diodo SiC Schottky 650V 43A IDDD16G65C6
U1	Circuito integrado	1	Driver - 1EDI20N12AF SOIC127P600X175-BN
R9	Resistor	1	Resistor Shunt (BNC) 0,1 Ω SDN-414-10
R2, R5	Resistor	2	Resistor 10 Ω - CRCW060310R0FKEB 1608
R6	Resistor	2	Resistor 470 k Ω 16,5 x 6,5
R8	Resistor	1	Resistor 820 Ω 3216
R12	Resistor	1	Resistor com encapsulamento metálico
C1	Capacitor	1	Capacitor de cerâmica 700 V 0,5 μ F B58031U7504M062
C2, C7, C8, C9, C10	Capacitor	5	Filme de polipropileno metalizado 700 V 8 μ F MKP1848580704K2 18 x 32
CDC41, CDC42, CDC43, CDC44	Capacitor	4	Capacitor eletrolítico de alumínio B43541 600 V 270 μ F Radial 35 x 45
C6, C12	Capacitor	2	Capacitor de cerâmica 100 nF 1608
C3, C11	Capacitor	2	Capacitor de cerâmica 1 μ F 2012

Tabela 27 - Lista completa de componentes DPT 1. (Continuação)

Referência	Componente	X	Descrição
C5	Capacitor	1	Capacitor de cerâmica 1500 pF 1005
C13	Capacitor	1	Capacitor de cerâmica 330 nF 2012
D2-D5	Ponte de diodos	1	Ponte de diodos monofásica 800 V/35 A SIP-P4
D6	Diodo	1	Diodo SiC Schottky TO-252NS
D7	Diodo zener	1	Diodo zener 6,8 V SOD-523
VR1	Regulador de tensão	1	Regulador de tensão 5 V
F1	Fusível	1	Fusível 600 V 0ADKC9100-BE
F2	Fusível	1	Fusível 250 V 01000020Z
P1, P2, P3, P4, P9	Conector	5	Conector para encaixe do tipo banana 108-0740-001
P5, P6, P7, P8	Conector	6	Conector 10 x 2
B1, B2, B3	Conector	3	Conector BNC 4 GHz

Fonte: Produção do autor.

Lista completa de componentes empregados no protótipo DPT 2.

Tabela 28 - Lista completa de componentes DPT 2.

Referência	Componente	X	Descrição
G1	Interruptor	1	GaN HEMT - IGOT60R070D1
D1	Diodo	1	Diodo SiC Schottky 650V 43A IDDD16G65C6
U1	Circuito integrado	1	Driver - 1EDI20N12AF SOIC127P600X175-BN
R1, R2	Resistor	2	Resistor 10 Ω - CRCW060310R0FKEB 1608
R3	Resistor	1	Resistor 820 Ω 3216
C6	Capacitor	1	Capacitor de cerâmica 700 V 0,5 μ F B58031U7504M062
C8	Capacitor	1	Capacitor eletrolítico de alumínio B43541 600 V 220 μ F Radial 35 x 45
C1, C2	Capacitor	2	Capacitor de cerâmica 100 nF 1608
C3, C4	Capacitor	2	Capacitor de cerâmica 1 μ F 2012
C5	Capacitor	1	Capacitor de cerâmica 680 pF 1005
P1, P3, P4, P5	Conector	4	Conector KRE 2
P2	Conector	1	Conector 1 x 2

Fonte: Produção do autor.

Lista completa de componentes do protótipo DPT Meia Ponte.

Tabela 29 - Lista completa de componentes DPT Meia Ponte.

Referência	Componente	X	Descrição
G1b, G2b	Interruptor	2	GaN HEMT - IGOT60R070D1
U1b, U2b	Circuito integrado	2	Driver - 1EDI20N12AF SOIC127P600X175-BN
R1b, R2b, R5b, R6b	Resistor	4	Resistor 10 Ω - CRCW060310R0FKEB 1608
R3b, R7b	Resistor	2	Resistor 820 Ω 3216
C11b	Capacitor	1	Capacitor de cerâmica 700 V 0,5 μ F B58031U7504M062
C13b	Capacitor	1	Capacitor eletrolítico de alumínio B43541 600 V 220 μ F Radial 35 x 45
C1b, C6b C16b, C17b	Capacitor	4	Capacitor de cerâmica 100 nF 1608
C3b, C4b C8b, C9b	Capacitor	4	Capacitor de cerâmica 1 μ F 2012
C5b, C10b	Capacitor	2	Capacitor de cerâmica 680 pF 1005
C14b, C15b	Capacitor	2	Capacitor de cerâmica 330 pF
D1b, D2b	Diodo	2	Diodo
P2b, P3b, P5b, P6b, P7b, P8b	Conector	6	Conector KRE 2
P9b, P10b	Conector	2	Conector 1 x 2

Fonte: Produção do autor.